

UNIVERSIDADE FEDERAL DE SANTA CATARINA

PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

UMA NOVA ESTRUTURA PARA AMPLIFICADORES OPERACIONAIS
DE TRANSCONDUÇÃO EM TECNOLOGIA CMOS

DISSERTAÇÃO SUBMETIDA À UNIVERSIDADE FEDERAL DE SANTA CATARINA
PARA A OBTENÇÃO DO GRAU DE MESTRE EM ENGENHARIA ELÉTRICA

RAIMUNDO NONATO GONÇALVES ROBERT

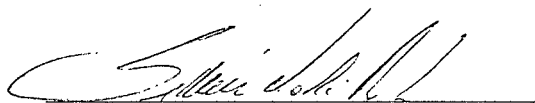
FLORIANÓPOLIS, NOVEMBRO DE 1989.

UMA NOVA ESTRUTURA PARA AMPLIFICADORES OPERACIONAIS

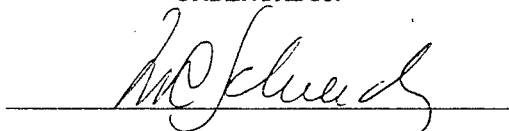
DE TRANSCONDUTÂNCIA EM TECNOLOGIA CMOS

RAIMUNDO NONATO GONÇALVES ROBERT

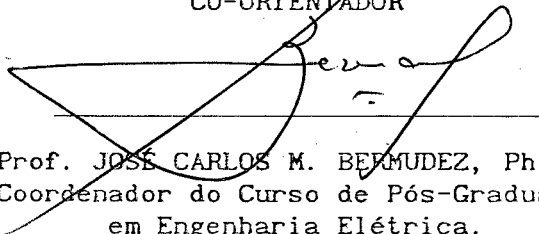
ESTA DISSERTAÇÃO FOI JULGADA ADEQUADA PARA OBTENÇÃO DO TÍTULO
DE MESTRE EM ENGENHARIA ELÉTRICA ESPECIALIDADE ENGENHARIA ELÉTRICA
E APROVADA EM SUA FORMA FINAL PELO PROGRAMA DE PÓS-GRADUAÇÃO.



Prof. SIDNEI NOCETI FILHO, D. Sc.
ORIENTADOR



Prof. MÁRCIO CHEREM SCHNEIDER, Dr. Eng.
CO-ORIENTADOR

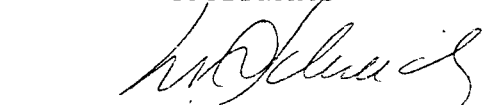


Prof. JOSÉ CARLOS M. BERMUDEZ, Ph. D.
Coordenador do Curso de Pós-Graduação
em Engenharia Elétrica.

BANCA EXAMINADORA



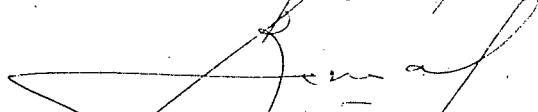
Prof. SIDNEI NOCETI FILHO, D. Sc.
Presidente



Prof. MÁRCIO CHEREM SCHNEIDER, Dr. Eng.



Prof. ANTONIO CARNEIRO DE MESQUITA FILHO, Dr. D'Etat



Prof. JOSÉ CARLOS M. BERMUDEZ, Ph. D.

Ofereço

a Deus, a meus pais e a minha namorada.

Agradeço

a Deus, a UFPA, a meus orientadores,

a meus pais e a meus amigos.

ÍNDICE

CAPÍTULO 1: INTRODUÇÃO.....	1
CAPÍTULO 2: REVISÃO DA LITERATURA EM CONVERSORES $V \times I$	
LINEARES EM TECNOLOGIA CMOS.....	4
2.1 INTRODUÇÃO.....	4
2.2 ALGUNS EXEMPLOS DE CONVERSORES $V \times I$	
LINEARES EM TECNOLOGIA CMOS.....	6
2.2-1 O AMPLIFICADOR DIFERENCIAL.....	6
2.2-2 TÉCNICAS DE LINEARIZAÇÃO.....	8
2.2-2a ATENUAÇÃO DA ENTRADA.....	8
2.2-2b CÉLULA EM CRUZAMENTO.....	10
2.2-2c CÉLULA POLARIZADA COM FONTE	
DE TENSÃO CONSTANTE.....	15
2.2-2d DEGENERAÇÃO DE FONTE.....	17
2.2-2e CÉLULA COM O INVERSOR CMOS.....	18
CAPÍTULO 3: ESTRUTURA PROPOSTA.....	21
3.1 INTRODUÇÃO.....	21
3.2 CIRCUITO PROPOSTO.....	21
3.3 EQUAÇÕES DE PROJETO.....	25
3.4 OBTENÇÃO DA CORRENTE DE POLARIZAÇÃO.....	29
3.5 ANÁLISE DO DESCASAMENTO ENTRE COMPONENTES.....	30
3.6 RESULTADOS DAS SIMULAÇÕES.....	35
3.7 RESPOSTA EM FREQUÊNCIA.....	41

3.8 SLEW-RATE.....	46
--------------------	----

CAPÍTULO 4: APLICAÇÃO DA ESTRUTURA PROPOSTA NUM

FILTRO ANTI-RECOBRIMENTO.....	48
4.1 INTRODUÇÃO.....	48
4.2 CONTROLE DAS TRANSCONDUΤÂNCIAS DOS OTA'S.....	49
4.3 ANÁLISE DAS NÃO-IDEALIDADES.....	52
4.4 APLICAÇÃO A UM FILTRO ANTI-RECOBRIMENTO.....	56

CAPÍTULO 5: CONCLUSÕES.....	64
-----------------------------	----

APÊNDICE A.....	67
-----------------	----

REFERÊNCIAS BIBLIOGRÁFICAS.....	70
---------------------------------	----

SIMBOLOGIA

V_{gs}	- Tensão porta-fonte do transistor MOS (V)
V_{ds}	- Tensão dreno-fonte do transistor MOS (V)
V_t	- Tensão de limiar do transistor MOS (V)
I_d	- Corrente de dreno do transistor MOS (μA)
β	- Parâmetro de transcondutância ($\mu A/V^2$)
μ	- Mobilidade ($cm^2/V \cdot s$)
C_{ox}	- Capacitância do óxido ($\mu F/cm^2$)
W	- Largura do canal do transistor MOS (μm)
L	- Comprimento do canal do transistor MOS (μm)
V_{GG}, V_B	- Tensões de polarização (V)
I_B	- Corrente de polarização (μA)
V_{dd}, V_{ss}	- Tensões de alimentação (V)
λ	- Parâmetro da modulação do comprimento do canal (V^{-1})

RESUMO

Este trabalho descreve uma nova estrutura em tecnologia CMOS para implementação de amplificadores operacionais de transcondutância (OTA) de fácil concepção e com reduzida distorção harmônica da corrente de saída. São apresentadas as equações de projeto, os limites nos valores das tensões de entrada, uma análise dos efeitos do descasamento entre os transistores e a resposta em frequência. Também é descrita uma técnica simples de controle automático de transcondutância de OTA's com um exemplo de aplicação num filtro anti-recobrimento para um CODEC, além dos resultados de simulações para avaliação do desempenho da nova estrutura e da técnica de controle.

ABSTRACT

This work describes a new structure for CMOS transconductance amplifiers which is simple to design and presents reduced harmonic distortion at the output. The input voltage range limits, the effects of transistor mismatching and the circuit frequency response are analyzed in detail. Design equations are presented. Furthermore, an efficient technique for automatic transconductance control is introduced. The results of this work are applied on the design of an anti-aliasing filter for a PCM CODEC. Extensive computational simulations demonstrate the applicability and usefulness of the new structure and of the transconductance control technique proposal.

CAPÍTULO 1 : INTRODUÇÃO.

A grande utilização da tecnologia CMOS em circuitos integrados digitais e a necessidade freqüente da coabitação em uma mesma pastilha de tais circuitos com estruturas analógicas têm incentivado o uso desta tecnologia em várias funções, incluindo a de filtragem contínua, cuja forma de implementação pode ser através de estruturas RC-ativas, MOSFET-C ou OTA-C.

Filtros RC-ativos, que utilizam amplificadores operacionais, capacitores (C) e resistores (R) são compatíveis com a tecnologia CMOS; porém, a alta tolerância no produto RC (devido às variações de processo e temperatura, em torno de 50%), a área ocupada pelos resistores e a dificuldade de sintonia deixam esta técnica com poucos atrativos, restringindo seu uso para alguns casos especiais.

Diversas técnicas apresentadas na literatura ([9-14]) permitem eliminar total ou parcialmente as desvantagens relativas às estruturas RC-ativas. Na técnica MOSFET-C são utilizados amplificadores operacionais, capacitores e o elemento resistivo é substituído por um componente ativo como um transistor MOS operando na região triodo. No entanto, as características elétricas destes componentes estão sujeitas às variações do processo e ambientais. A vantagem dos transistores MOS operando na região triodo sobre os resistores convencionais é que sua resistência equivalente pode ser controlada por uma tensão (corrente) interna ou externa ao circuito permitindo sintonização, que pode ser automática, com base em alguma grandeza de referência (resistência, tensão, freqüência, etc...). Contudo, ainda são necessárias técnicas especiais para redução das não linearidades

inerentes aos resistores ativos.

A técnica mencionada em [10-12, 15] emprega conversores VxI (OTA's) e capacitores. Com OTA's convenientemente projetados é possível obter a sintonização automática por meio de tensões ou correntes de controle das transcondutâncias dos dispositivos. Os filtros OTA-C são potencialmente capazes de operar em frequências mais altas que os demais filtros (contínuos, digitais e a capacitores chaveados). Além disso, como todos os filtros contínuos, não necessitam do emprego de filtros auxiliares de anti-recobrimento e de reconstrução, de conversões A/D e D/A necessárias aos filtros digitais e nem apresentam os problemas de "clock feedthrough" dos filtros a capacitores chaveados.

Entretanto, os conversores VxI apresentam problemas de obtenção de boa linearidade da corrente de saída com a tensão de entrada. OTA's integrados em tecnologia bipolar, como o CA3080, admitem tensão diferencial máxima de 30mV na entrada para assegurar corrente linear na saída ([12]). Amplificadores diferenciais clássicos (fig. 2.2-1) em tecnologia CMOS apresentam o mesmo problema tanto em inversão fraca, quando a tensão de entrada não deve exceder 20mV, quanto em inversão forte, quando a transcondutância do amplificador varia menos que 1% se a tensão diferencial aplicada for limitada a 16% da tensão de polarização ($V_{gs} - V_t$) dos transistores de entrada ([2]). Neste caso, uma forma de aumentar a faixa de linearidade é através do aumento da tensão V_{gs} ; contudo, procedendo desta maneira reduz-se a faixa de tensão de modo comum admissível na entrada.

Diversas técnicas, descritas na literatura especializada, permitem reduzir as não linearidades do amplificador diferencial

quando utilizado como conversor VxI. Algumas destas técnicas introduzem modificações no par diferencial; em outras, procura-se diminuir os níveis de tensão na entrada de forma a não comprometer a linearidade.

Várias formas de implementar circuitos de conversores VxI (OTA's) baseadas na característica I-V de transistores MOS operando na região de saturação, em inversão forte, têm sido apresentadas na literatura especializada [1-6]. No segundo capítulo é feita uma revisão desta bibliografia onde se procurou fazer referência a conversores VxI lineares com transcondutância controlável através de uma tensão (ou corrente) de polarização.

A principal contribuição deste trabalho é apresentada no capítulo 3, onde é introduzida uma nova configuração de OTA, de fácil concepção, baseada em [1] e [6] com transcondutância controlável. Também serão descritas suas principais características e limitações, além de sua resposta em frequência e os resultados obtidos com simulador de circuitos.

No quarto capítulo é descrita uma técnica de controle simples, aplicável a estruturas que fazem uso de amplificadores operacionais de transcondutâncias (OTA's). Como exemplo de aplicação desta técnica, é projetado um filtro anti-recobrimento para utilização num CODEC.

O capítulo 5 apresenta as conclusões referentes ao trabalho e a comparação com estruturas de OTA's que operam com transistores na região de saturação.

Finalmente, o apêndice A apresenta um roteiro para o projeto do OTA proposto neste trabalho.

CAPÍTULO 2 : REVISÃO DA LITERATURA EM CONVERSORES VXi LINEARES EM TECNOLOGIA CMOS.

2.1- INTRODUÇÃO.

Será apresentada, neste capítulo, uma breve revisão referente a conversores VXi lineares em tecnologia CMOS utilizados em diversas aplicações, tais como: filtros contínuos, osciladores e outros circuitos. Estas técnicas procuram aumentar a faixa de tensão de entrada, em relação ao par diferencial clássico, mantendo uma relação linear entre a corrente de saída e a tensão de entrada.

Basicamente, far-se-á referência a projetos de conversores VXi lineares com transcondutância controlável através de uma tensão (ou corrente) de polarização.

Inicialmente, será feita uma breve apresentação do transistor MOS operando nas regiões de saturação e triodo (linear), em inversão forte. A tabela 2.1 mostra as equações do transistor MOS operando em inversão forte nas respectivas regiões, bem como o limite de operação de cada região. Aqui não é levado em consideração o efeito da modulação da corrente de dreno com a tensão dreno-fonte do transistor MOS ($\lambda=0$). Estas equações serão posteriormente utilizadas nos modelos dos diversos conversores aqui apresentados.

NMOS	PMOS
------	------

Região Triodo:

$$|V_{gs}| > |V_t|; \quad I_d = \beta_N \left(V_{gs} - V_t - \frac{V_{ds}}{2} \right) V_{ds} \quad -I_d = \beta_P \left(V_{gs} - V_t - \frac{V_{ds}}{2} \right) V_{ds}$$

$$|V_{ds}| < |V_{gs}| - |V_t|$$

Região de Saturação:

$$|V_{gs}| > |V_t|; \quad I_d = \frac{\beta_N}{2} (V_{gs} - V_t)^2, \quad -I_d = \frac{\beta_P}{2} (V_{gs} - V_t)^2$$

$$|V_{ds}| > |V_{gs}| - |V_t|$$

$$\text{onde } \beta_N = \mu_n \cdot C_{ox} \cdot (W/L), \quad \text{onde } \beta_P = \mu_p \cdot C_{ox} \cdot (W/L).$$

Tabela 2.1: Corrente de dreno em transistores MOS operando em baixas frequências.

A figura 2.1 apresenta o símbolo de um amplificador operacional de transcondutância (OTA) e seu circuito equivalente ideal.

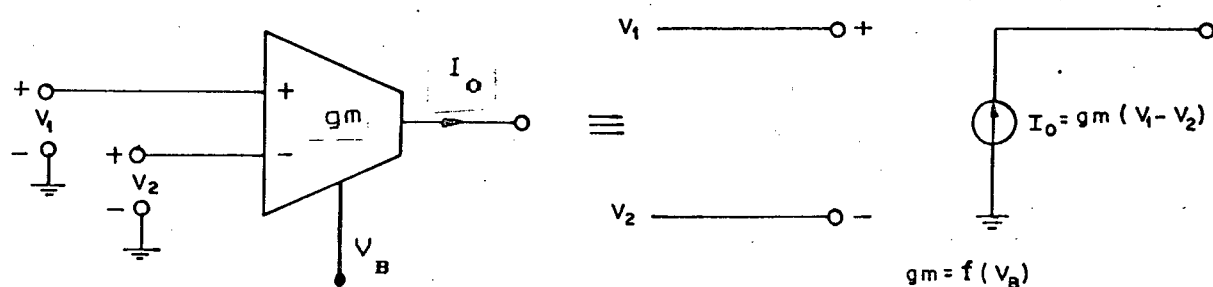


Figura 2.1: Símbolo do OTA e seu modelo ideal.

2.2- ALGUNS EXEMPLOS DE CONVERSORES $V \times I$ LINEARES

EM TECNOLOGIA CMOS.

Serão apresentadas, neste item, algumas técnicas de circuitos para realização de elementos de transcondutância linear.

Nos exemplos que serão vistos, todos os transistores estão operando na região de saturação, sendo suas equações descritas na tabela 2.1.

Antes, porém, analisar-se-á as limitações do par diferencial clássico, mostrando suas limitações como conversor $V \times I$ linear.

2.2.1- O AMPLIFICADOR DIFERENCIAL

O amplificador diferencial é um dos mais versáteis blocos utilizados em projetos de circuitos analógicos. A figura 2.2.1 mostra um amplificador diferencial utilizando transistores NMOS como par de entrada.

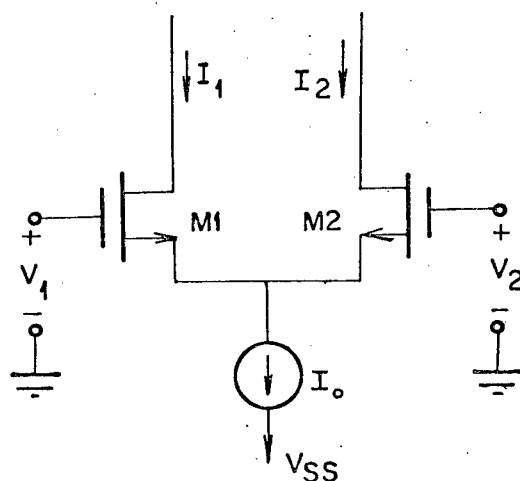


Figura 2.2-1: Amplificador diferencial.

Considerando o circuito da fig.2.2.1, onde o amplificador diferencial é polarizado por uma fonte de corrente constante I_0 , obtem-se a seguinte relação:

$$v = V_{gs1} - V_{gs2} = V_1 - V_2 = \sqrt{\frac{2 I_1}{\beta}} - \sqrt{\frac{2 I_2}{\beta}} \quad (2.2-1)$$

para $\beta_1 = \beta_2 = \beta$ e $V_{tN1} = V_{tN2} = V_t$. Resolvendo a equação para $I_{out} = I_1 - I_2$ e normalizando-a de forma que $X = v/(2I_0/\beta)^{0,5}$, $Y_1 = I_1/I_0$ e $Y_2 = I_2/I_0$ obtem-se:

$$Y_1 - Y_2 = \frac{I_{out}}{I_0} = X \left[1 - \frac{X^2}{2} \right]^{0,5} \quad \text{se} \quad |X| < 1 \quad (2.2-2)$$

A condição para o funcionamento dos transistores na região de saturação é dada por $|X| < 1$; para $|X| \ll 1$ obtem-se uma característica linear com transcondutância $g_m = \sqrt{\beta I_0}$, ou seja:

$$I_{out} = \sqrt{\beta I_0} \cdot v \quad \text{se} \quad |v| \ll (2I_0/\beta)^{0,5} \quad (2.2-3)$$

Nota-se que o aumento da faixa de tensão diferencial na entrada pode ser obtido através do aumento da corrente de polarização e/ou diminuindo a razão geométrica dos transistores que compõem o par diferencial (M1 e M2). O problema é que a faixa de tensões de modo comum (V_{cm}) é restringida pelo aumento de I_0 , já que o transistor da fonte de corrente deve operar na região de saturação, ou seja,

$$V_{cm} \geq \left[\frac{I_0}{\beta} \right]^{0,5} + V_t + V_{ss} \quad (2.2-4)$$

admitindo que a tensão no nó comum das fontes deva ser maior ou igual a V_{ss} .

Para valores maiores de X a saída torna-se não linear. Para se obter linearidade melhor que 1% (erro entre a curva real e a reta ideal) deve-se ter:

$$|X| < 0,28 \quad , \quad \text{ou} \quad |v| < 0,28 \left[\frac{I_0}{\beta} \right]^{0,5} \quad (2.2-5)$$

Deste modo, a faixa de tensões de entrada diferencial deve ser pequena para garantir relação linear entre I_{out} x v no amplificador diferencial comum.

Focalizar-se-á, a seguir, algumas técnicas que produzem melhoras substanciais na linearidade sem muitas restrições à faixa diferencial. Na maioria dos casos, modifica-se o amplificador diferencial de modo a linearizar sua característica I-V sobre uma maior faixa de tensões de entrada.

2.2-2 TÉCNICAS DE LINEARIZAÇÃO:

2.2-2a ATENUAÇÃO DA ENTRADA.

Uma das maneiras mais simples de aumentar a faixa de linearidade de um amplificador diferencial clássico é através do uso de um atenuador antes do amplificador diferencial. O atenuador, que pode ser um simples divisor de tensão MOS, é colocado na entrada do conversor $V_x I$ (fig.2.2-2). Desta maneira,

pode-se atenuar os níveis de tensões na entrada de modo a não comprometer a linearidade da característica V-I do conversor.

Neste tipo de estrutura as não-idealidades provenientes do atenuador afetam a performance global; o ruído e a tensão de "offset" referidos à entrada aumentam de um fator α , e o valor da transcondutância total é atenuado, o que dependendo da aplicação, pode ser uma desvantagem. Essas desvantagens deixam esta técnica com poucos atrativos.

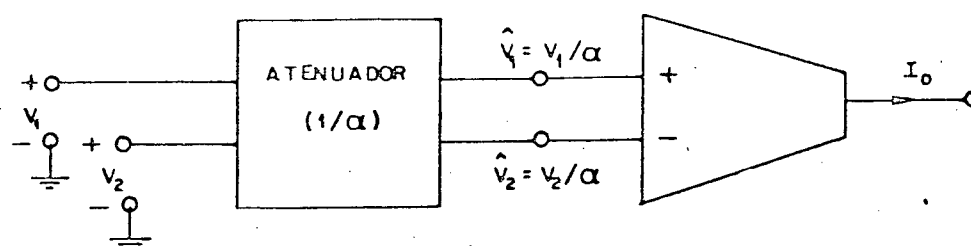


Figura 2.2-2: Diagrama de blocos ilustrando o uso do atenuador.

Portanto, serão apresentadas, ao longo deste capítulo, estruturas que apresentam maior faixa de linearidade na característica de transcondutância sem introduzir as desvantagens do atenuador. Para tanto, deve-se analisar sob que condições a diferença entre as correntes em dois transistores idênticos, que formam um par diferencial, é proporcional à diferença entre as tensões porta-fonte aplicadas (conversão $V \times I$ linear). É fácil mostrar que a expressão da diferença entre as correntes I_1 e I_2 nos dois transistores é dada por:

$$I_{out} = I_1 - I_2 = \frac{\beta}{2} (V_{gs1} + V_{gs2} - 2V_t)(V_{gs1} - V_{gs2}) \quad (2.2-6)$$

Para obter-se transcondutância linear deve-se ter:

$$(V_{gs1} + V_{gs2} - 2V_t)(V_{gs1} - V_{gs2}) = \text{constante} \cdot v \quad (2.2-7)$$

2.2-2b CÉLULA EM CRUZAMENTO.

Uma das formas de implementação da relação (2.2-7) é através do circuito da figura 2.2-3 que mostra uma estrutura em cruzamento utilizando fontes suspensas polarizando um par de transistores idênticos. Nesta técnica, tratada em [1], obtem-se para a célula em cruzamento as seguintes relações:

$$V_{gs1} = V_x + V_t + v \quad \text{e} \quad V_{gs2} = V_x + V_t - v \quad (2.2-8)$$

onde $v = V_1 - V_2$ e a corrente de saída I_{out} é dada por:

$$I_{out} = I_1 - I_2 = 2 \beta V_x v \quad \text{se} \quad |v| \leq V_x \quad (2.2-9)$$

onde $\beta_1 = \beta_2 = \beta$, com $|v| \leq V_x$ para garantir a operação dos transistores na região de saturação em inversão forte.

Portanto, essa configuração exibe uma transcondutância linear

($g_m = 2 \beta V_x$), controlável através da tensão de polarização V_x .

Uma das formas de implementação das fontes suspensas ($V_x + V_t$), utiliza dois transistores polarizados com correntes constantes e de mesmo valor. Em [1], isso é conseguido com o circuito mostrado na fig.2.2-4 onde os transistores que compõem as fontes suspensas têm razões geométricas "n" vezes maiores que as dos transistores M1 e M2 ($n > 1$) de modo que possam funcionar aproximadamente como fontes de tensão constante. Quanto maior o valor de "n", mais independentes das tensões de entrada serão os valores de V_{gs3} e V_{gs4} .

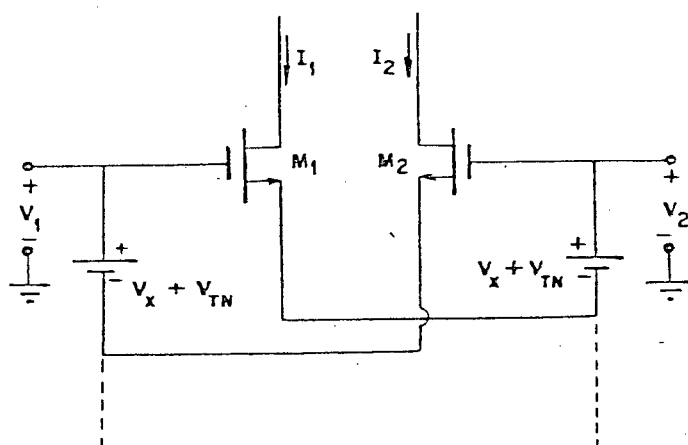


Figura 2.2-3: Diagrama esquemático da célula em cruzamento.

Na análise do circuito da fig.2.2-4, nota-se que para grandes valores de "n", consegue-se transcondutância linear $g_m = 4[(\beta/2)I]^{0,5}$ para a faixa $|v| \leq \left[\frac{(n+1) I}{\beta} \right]^{0,5}$.

O problema desta estrutura é que a obtenção de altos valores de "n", implica no aumento da corrente de polarização para manutenção de g_m (alto consumo) e da área do "chip", além dos

erros de descasamento tornarem-se mais relevantes.

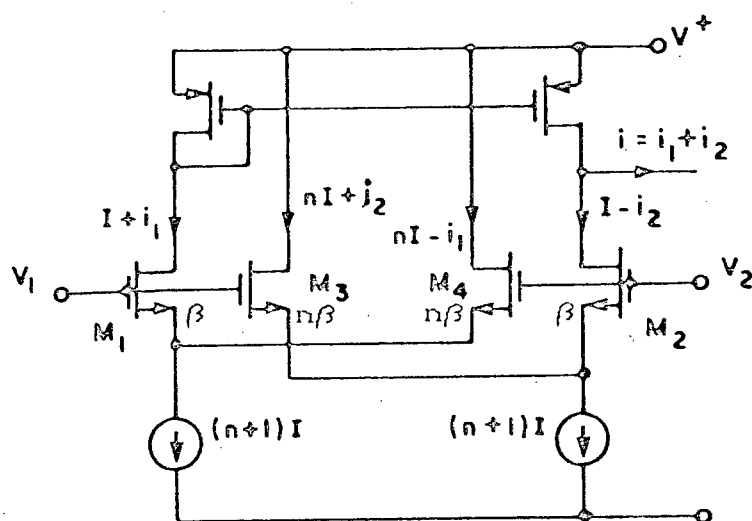


Figura 2.2-4: Realização de transcondutância linear com a célula em cruzamento (M3 e M4).

A rede da fig.2.2-5, também analisada em [1], apresenta uma forma de compensação para se obter característica linear com menores valores de "n". Os transistores de M1 a M4 formam a célula em cruzamento e os de M6 a M9 o par diferencial. O transistor M5 e a fonte "aI" são usados para transferir a soma das correntes de M1 e M2 do nó A para o nó B, onde o valor de $a > 4n/(n+1)$ é requerido para manutenção de M5 em condução. O valor de "n" para se obter melhor linearidade é 2,155 para faixa de $|v| \leq 1,2 \sqrt{\frac{(n+1) I}{\beta}}$. Para esse valor ótimo de "n", resultados de simulações relatados em [1] mostram que o erro na característica linear é próximo de 0,25% para faixa nominal, e para uma entrada senoidal, cobrindo meia faixa da tensão máxima de entrada, a distorção harmônica fica

em torno de 0,1% .

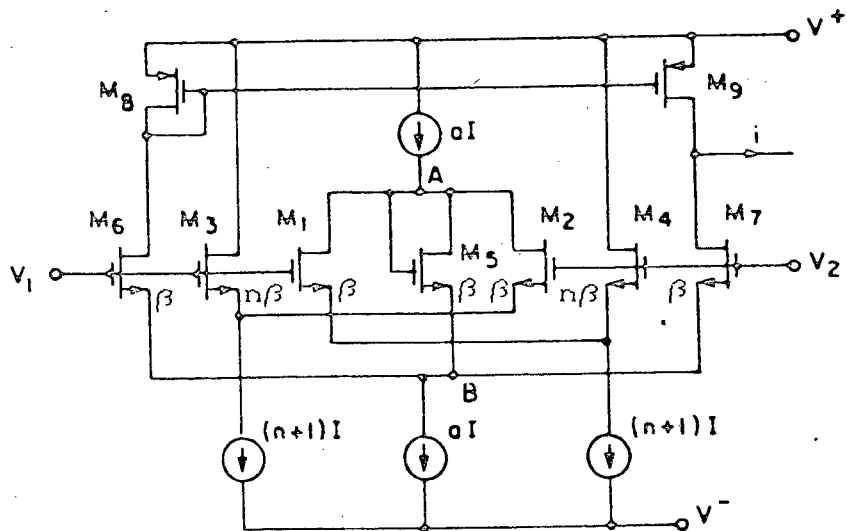


Figura 2.2-5: Circuito de transcondutância linear CMOS.

Outra técnica que também utiliza a célula em cruzamento para realizar transcondutância linear é apresentada em [6]. Agora, substitui-se cada transistor da célula e do par diferencial por uma combinação de transistores NMOS e PMOS. A estrutura é mostrada na fig. 2.2-6.

Para a rede da fig. 2.2-6 tem-se:

$$V_{gseq} = V_{teq} + \sqrt{\frac{2 I_1}{\beta_{eq}}} \quad (2.2-10)$$

onde os parâmetros equivalentes são dados por:

$$V_{gseq} = V_{gsn} - V_{gsp} \quad (2.2-11a)$$

$$V_{teq} = V_{tN} - V_{tP} \quad (2.2-11b)$$

$$\beta_{eq} = \frac{\beta_N \beta_P}{[(\beta_N)^{0,5} + (\beta_P)^{0,5}]^2} \quad (2.2-11c)$$

A corrente de saída é expressa por:

$$I_{out} = I_1 - I_2 = 2 \beta_{eq} V_b v \quad \text{se} \quad |v| \leq \sqrt{\frac{2 I_b}{\beta_{eq}}} \quad (2.2-12)$$

onde $V_b + V_{teq} = (2I_b / \beta_{eq})^{0,5} + V_{teq}$ é o valor da tensão equivalente à da fonte suspensa.

A partir da equação (2.2-12) obtem-se a transcondutância linear $g_m = 2\beta_{eq} V_b = 2(2\beta_{eq} I_b)^{0,5}$ que pode ser controlada pela corrente de polarização I_b .

Esta estrutura apresenta, como mostrado na equação (2.2-11b), tensão de limiar equivalente igual a soma dos módulos das tensões de limiar dos transistores canal P e N reduzindo a faixa de tensões admissíveis na entrada.

As faixas de valores de tensões diferenciais de entrada e correntes de saída, de forma que os transistores operem na região

de saturação em inversão forte, para obtenção da característica I-V linear são:

$$-V_b < v < V_b \quad (2.2-13a)$$

ou, equivalente:

$$-4I_b < I_{out} < 4I_b \quad (2.2-13b)$$

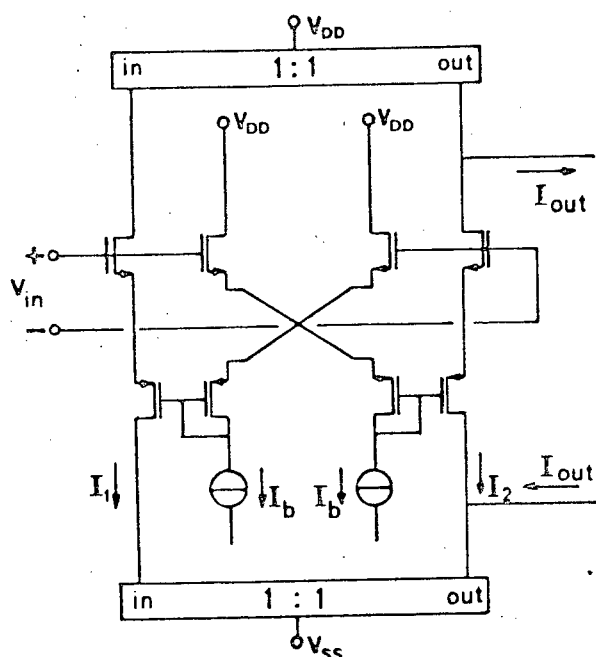


Figura 2.2-6: Circuito transdutor com saídas complementares

2.2-2c CÉLULA POLARIZADA COM FONTE DE TENSÃO CONSTANTE.

Uma outra forma de se obter conversão $V \times I$ linear é mostrada na figura 2.2-7 [2], onde $v = V_1 - V_2$. As tensões diferenciais $\pm v$ de entrada podem ser obtidas por meio do circuito mostrado na figura 2.2-8 [2].

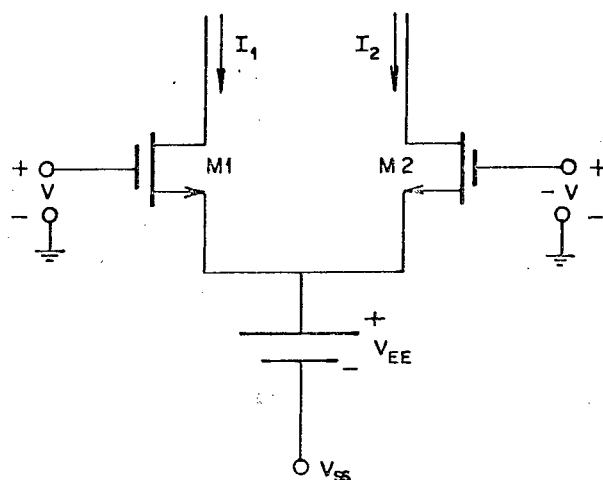


Figura 2.2-7: Par diferencial polarizado por tensão constante

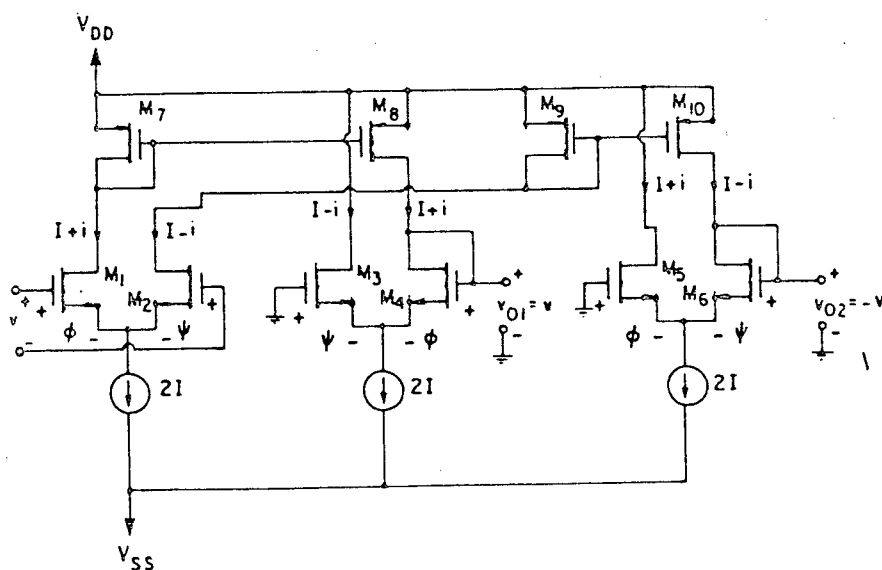


Figura 2.2-8: Circuito de rejeição de modo comum.

Com as tensões de entrada obtidas por meio do circuito da figura 2.2-8 aplicadas ao circuito da figura 2.2-7, obtém-se transcondutância linear $g_m = -2\beta \left[V_{EE} + V_{SS} + V_t \right]$.

A resposta do circuito apresentado na fig. 2.2-8 é extremamente sensível à precisão com que as correntes do par

diferencial de entrada são transferidas para os pares de cargas a fim de gerar tensões V_{gs} 's. Por isso, deve-se obter fontes de corrente de performance muito boa e utilizar espelhos precisos.

2.2-2d DEGENERACÃO DE FONTE.

Outra forma de linearizar a característica de transferência do par diferencial é mostrada na estrutura da fig. 2.2-9, que emprega "degeneração de fonte", onde a tensão v é dividida entre os diversos pares diferenciais, sendo:

$$v = v_1 + v_2, \quad v_2/v_1 = A = \sqrt{\frac{n \beta_1}{\beta_2}} \quad (2.2-14)$$

onde "n" é o fator de escala mostrado na fig. 2.2-9.

Nesta técnica, a transcondutância total é dividida por $(1+A)$ e o termo não linear é reduzido de $(1 + A)^2$ em comparação ao amplificador diferencial comum. Para obter-se altos valores de "A", precisa-se reduzir a faixa de entrada de tensões de modo comum (V_{cm}) e, caso se tenha necessidade de maximizar V_{cm} , deve-se fazer $v_1 = v_2$ e $A = 1$ dividindo g_m pela metade.

Na maioria das técnicas de linearização apresentadas, algumas de concepção simples como em [6] e a do atenuador, outras menos simples como apresentadas em [1] e [2], utiliza-se a característica I-V do par diferencial de modo a obter elementos de transcondutâncias lineares. Em outras palavras, elimina-se o termo não linear de sua característica.

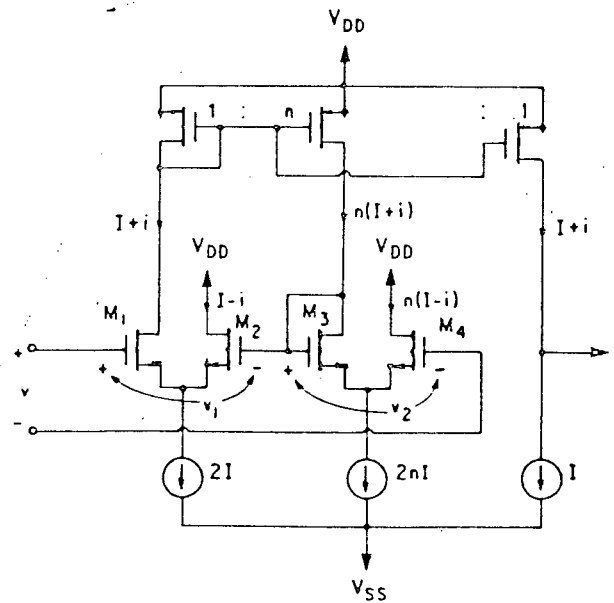


Figura 2.2-9: Circuito de um conversor $V \times I$ linear [2], empregando degeneração de fonte.

2.2-2e CÉLULA COM O INVERSOR CMOS.

Pode-se, também, obter conversores $V \times I$ lineares e sintonizáveis a partir do conhecido inversor CMOS como é apresentado em [3]. Acrescentando à estrutura tradicional um par de transistores NMOS e PMOS, obtem-se um elemento de transcondutância linear e sintonizável. O circuito é mostrado na fig. 2.2-10.

A partir da fig. 2.2-10 a corrente de saída pode ser obtida, sendo seu valor dado por:

$$I_0 = -\beta_{eq} (V_{gs1} + V_{gs4} - \Sigma V_t) V_I + \frac{\beta_{eq}}{2} (V_{gs1} + V_{gs4} - \Sigma V_t) \Delta V_t \quad (2.2-15)$$

onde β_{eq} é dado por (2.2-11c) e

$$\Sigma V_t = V_{tN1} + V_{tN3} + |V_{tP2}| + |V_{tP4}| \quad (2.2-16a)$$

$$\Delta V_t = (V_{tN3} - V_{tN1}) + (|V_{tP4}| - |V_{tP2}|) + (V_{gs1} - V_{gs4}). \quad (2.2-16b)$$

Fazendo $V_{gs1} = V_{gs4} = V_g$, e considerando casamento ideal entre os transistores, ΔV_t se anula de tal forma que se obtem uma transcondutância linear igual a:

$$g_m = \beta_{eq} (2V_g - \Sigma V_t) \quad \text{para} \quad -|V_{tP2}| \leq V_L - V_O \leq V_{tN3} \quad (2.2-17)$$

e sintonizável através da variação da tensão V_g .

Através da análise das equações que limitam a operação dos transistores na região de saturação e em inversão forte, dadas em [3], nota-se que, para o funcionamento linear do circuito, o nível de tensão permitido na entrada será pequeno, pois está praticamente limitado pelas tensões de limiar dos dispositivos.

Os elementos de transcondutâncias CMOS, principalmente se forem lineares e sintonizáveis, são utilizados em uma grande variedade de circuitos de processamento de sinais analógicos tais como: amplificadores de tensão, osciladores, integradores, filtros, comparadores e resistores ativos.

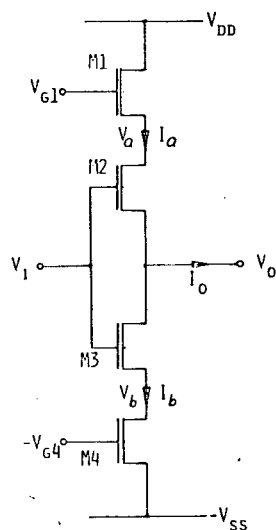


Figura 2.2-10: Transcondutância linear sintonizável realizada a partir do inversor CMOS tradicional.

As técnicas aqui retratadas, apresentam um certo compromisso entre a linearidade desejada e a complexidade das estruturas. Em geral tem-se maior faixa linear a partir de circuitos mais complexos.

No próximo capítulo será apresentado um novo conversor $V \times I$ linear em tecnologia CMOS de concepção bastante simples utilizando a célula em cruzamento descrita na seção 2.2.2.

As faixas de tensão diferencial e modo comum, para o bom desempenho linear, serão apresentadas e mostrar-se-á a análise dos efeitos do descasamento entre transistores. Também serão mostrados resultados de simulações para avaliação do desempenho do conversor.

CAPÍTULO 3 : ESTRUTURA PROPOSTA

3.1- INTRODUÇÃO.

Este capítulo descreve um novo circuito em tecnologia CMOS para implementação de amplificadores operacionais de transcondutância (OTA) com reduzida distorção harmônica da corrente de saída, quando comparado à estrutura diferencial clássica [7]. As equações de projeto, os limites nos valores das tensões de entrada e uma análise dos efeitos do descasamento entre transistores são apresentados. Também são mostrados resultados de simulações, utilizando o simulador elétrico SPICE, para avaliação do desempenho do OTA.

3.2- CIRCUITO PROPOSTO.

O circuito básico do conversor VxI linear é o mesmo da figura 2.2-3, repetido na figura 3.2-1 por conveniência, onde as correntes em cada transistor, supondo-os na região de saturação e em inversão forte (desprezando a modulação do comprimento do canal), são dadas por:

$$I_1 = \frac{\beta}{2} (V_{gs1} - V_t)^2, \quad V_{gs1} \geq V_t \quad (3.2-1a)$$

$$I_2 = \frac{\beta}{2} (V_{gs2} - V_t)^2, \quad V_{gs2} \geq V_t \quad (3.2-1b)$$

para transistores casados e

$$V_{gs1} = V_1 - V_2 + V_x + V_t = v + V_x + V_t \quad (3.2-2a)$$

$$V_{gs2} = V_2 - V_1 + V_x + V_t = -v + V_x + V_t. \quad (3.2-2b)$$

sendo $v = V_1 - V_2$.

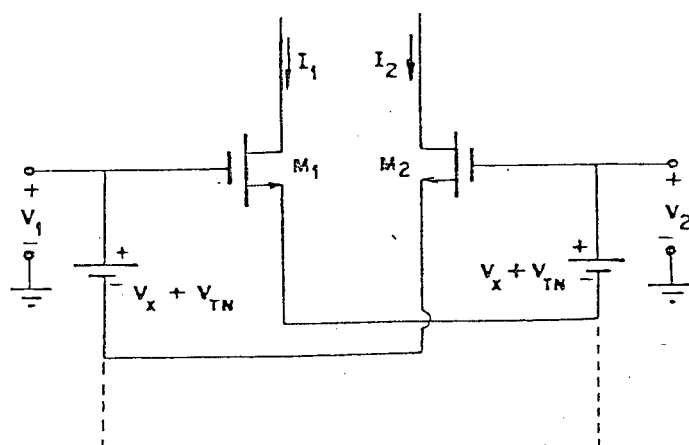


Figura 3.2-1: Célula em cruzamento.

A corrente diferencial I_o , para tensão diferencial v , tal que $|v| \leq V_x$, é:

$$I_o = I_1 - I_2 = g_m v \quad \text{se } |v| \leq V_x \quad (3.2-3)$$

onde $g_m = 2\beta V_x$ é a transcondutância do par diferencial. A fig. 3.2-2 ilustra graficamente as correntes em M1, M2 e a corrente diferencial I_o , linear para $|v| \leq V_x$. A faixa de tensão

diferencial, de forma a garantir a operação dos transistores na região de saturação, em inversão forte, e conseqüentemente a operação linear do circuito, é dada por:

$$-V_x \leq v \leq V_x, \quad (3.2-4)$$

A estrutura da fig. 3.2-1, para implementação direta, não é prática pois necessita de fontes suspensas. Entretanto, como foi visto na seção 2.2.2, as fontes podem ser obtidas por meio de transistores MOS saturados percorridos por correntes constantes.

A proposta deste trabalho é mostrada na fig. 3.2-3, onde os transistores M3 e M4 formam as fontes suspensas. A simplicidade desta estrutura está em requerer apenas a célula em cruzamento, formada pelos transistores de M1-M4, e de espelhos de corrente. Os espelhos de corrente, além de espelhar as correntes I_1 e I_2 a fim de obter a corrente I_0 , servem para garantir que os transistores M3 e M4 sejam percorridos por corrente constante de forma a obter tensão constante. Isso é conseguido quando retira-se do nó das fontes dos transistores M1 e M2 suas respectivas correntes, de modo que as correntes nos transistores M3 e M4 sejam iguais às correntes de polarização I_B das fontes de corrente. Ou seja, para os nós das fontes de M1 e M2, supondo espelhos ideais e de ganho unitário, tem-se:

$$I_1 + I_3 = I_1 + I_B, \text{ logo: } I_3 = I_B \quad (3.2-5a)$$

$$I_2 + I_4 = I_2 + I_B, \text{ logo: } I_4 = I_B. \quad (3.2-5b)$$

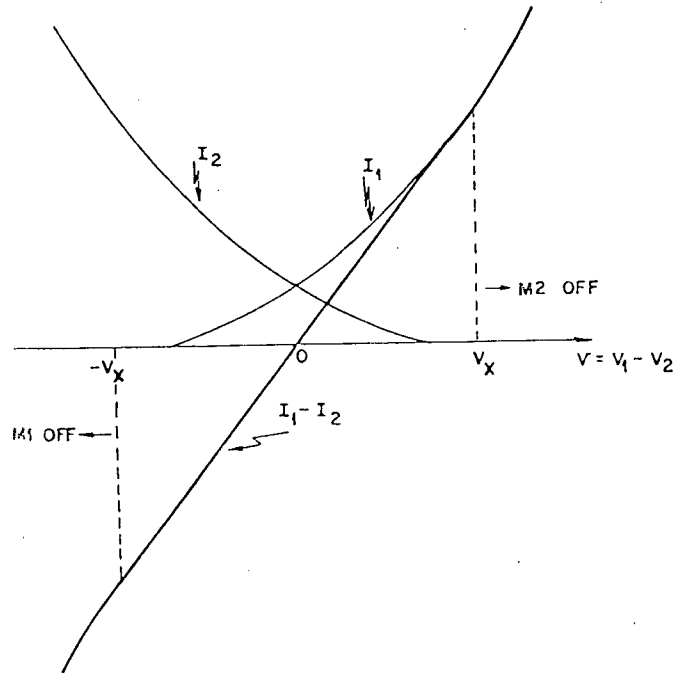


Figura 3.2-2: Correntes em M1, M2 (fig. 2.2-2) e $I_o = I_1 - I_2$ em função da tensão diferencial de entrada.

Considerando $\lambda = 0$, as tensões V_{gs} 's para os transistores M3 e M4 da fig. 3.2-3 são dadas por:

$$V_{gs3} = \sqrt{\frac{2 I_B}{\beta_3}} + V_{t3} = V_x + V_t \quad (3.2-6a)$$

$$V_{gs4} = \sqrt{\frac{2 I_B}{\beta_4}} + V_{t4} = V_x + V_t \quad (3.2-6b)$$

sendo I_B a corrente de polarização de M3 (ou M4). Pode-se observar que a característica de alta impedância de entrada é mantida com este tipo de implementação.

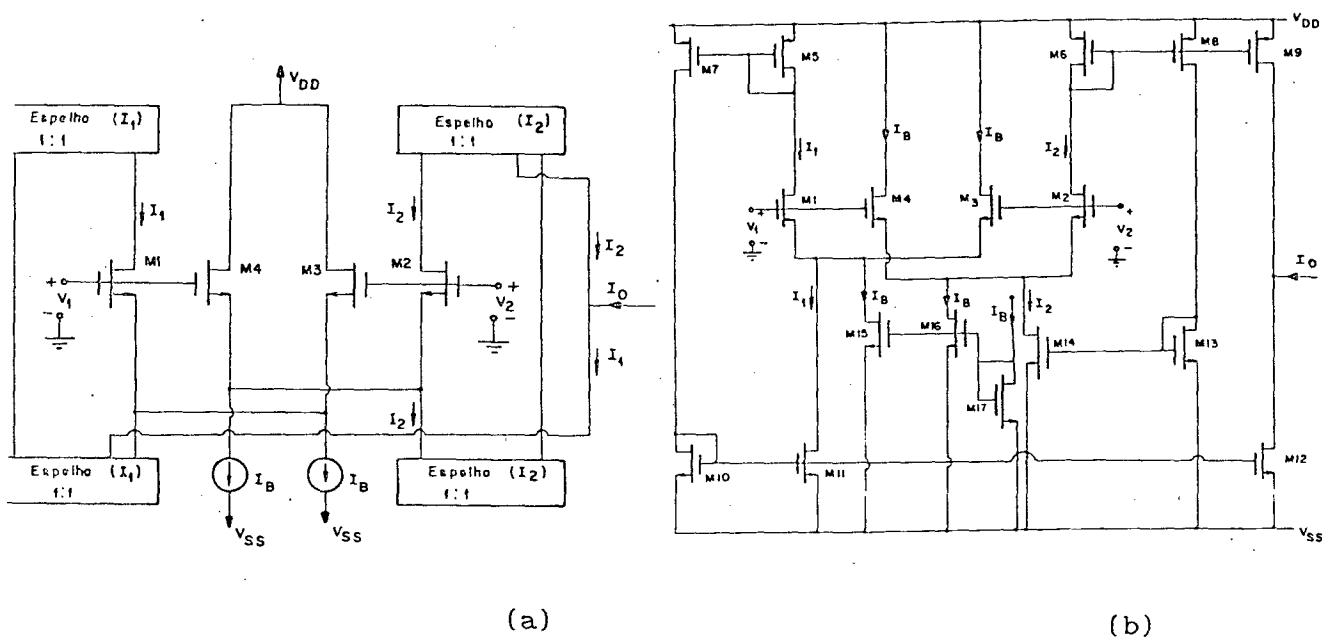


Figura 3.2-3: a) Estrutura básica do OTA, mostrando a implementação das fontes suspensas através de M3 e M4, percorridos por correntes constantes. b) Circuito do OTA com espelhos de corrente simples.

3.3- EQUAÇÕES DE PROJETO.

Serão apresentados, nesta seção, os limites das tensões de entrada V_1 e V_2 e corrente de saída I_O máxima para os quais as equações de projeto do OTA da figura 3.2-3(b) ainda são válidas. Para o referido OTA, as tensões V_1 e V_2 na entrada devem ser tais que mantenham M11, M14 e os transistores das fontes de corrente de polarização na região de saturação. A análise da fig. 3.2-3(b) mostra que V_1 e V_2 devem ser tais que:

$$V_1 \geq (V_x + V_t) + V_{S2mín.} \quad (3.3-1a)$$

$$V_2 \geq (V_x + V_t) + V_{S1mín.} \quad (3.3-1b)$$

onde $V_{S1mín.}$ e $V_{S2mín.}$ são as menores tensões nas fontes de M1 e M2 para o funcionamento adequado do circuito. Lembrando que $\max|v| = V_x$, para operação linear, conclui-se que as tensões mínimas na entrada, conforme (3.3-1), são dependentes da máxima tensão diferencial admissível na entrada. Os valores $V_{S1mín.}$ e $V_{S2mín.}$ dependem do circuito de implementação; para o circuito da fig. 3.2-3b, tem-se:

$$V_{Smín.} = V_{SS} + \max. \left[V_{ds,sat.14}, V_{ds,sat.16} \right] \quad (3.3-2)$$

onde $V_{ds,sat.14}$ é a tensão de saturação do espelho de corrente tipo N e $V_{ds,sat.16}$ é a tensão de saturação do transistor da fonte de corrente I_B . As correntes I_1 e I_2 , para a máxima tensão diferencial v em operação linear, são dadas por:

$$I_1|_{v=V_x} = I_2|_{v=-V_x} = 2 \beta_1 V_x^2 \quad (3.3-3)$$

Através da equação (3.3-3) pode-se expressar as seguintes tensões:

$$V_{ds,sat.14} = \sqrt{\frac{2 I_2}{\beta_{14}}} \leq 2 \left[\beta_1 / \beta_{14} \right]^{0,5} V_x \quad (3.3-4a)$$

$$V_{ds,sat.16} = \sqrt{\frac{2 I_2}{\beta_{16}}} = \left[\beta_3 / \beta_{16} \right]^{0,5} V_x. \quad (3.3-4b)$$

Portanto, tem-se para a relação (3.3-2)

$$V_{Smín.} = V_{SS} + V_x \cdot \text{máx.} \left[2 \left[\frac{\beta_1}{\beta_{14}} \right]^{0,5}, \left[\frac{\beta_3}{\beta_{16}} \right]^{0,5} \right] \quad (3.3-5)$$

onde o segundo termo da equação (3.3-5) representa o valor máximo entre as grandezas especificadas.

A relação (3.3-5) mostra que $V_{Smín.}$ tende a V_{SS} se adotarmos razões geométricas suficientes para reduzir a segunda parcela. No entanto, a menor tensão de entrada ainda dependerá diretamente de V_x , como mostrado pelas relações (3.3-1). Então, o limite mínimo de tensão de entrada é dado por:

$$V_{2mín} = V_{SS} + V_x + V_{tN} + V_x \cdot \text{máx.} \left[2 \left[\frac{\beta_1}{\beta_{14}} \right]^{0,5}, \left[\frac{\beta_3}{\beta_{16}} \right]^{0,5} \right] \quad (3.3-6)$$

A tensão máxima admissível nas entradas do circuito da fig. 3.2-3b é determinada através da manutenção dos transistores M1 e M2 na região de saturação. Para o lado direito da fig. 3.2-3b

tem-se:

$$V_{d2} \geq V_2 - V_{tN} \quad (3.3-7)$$

que é a condição de saturação para o transistor M2. Sabendo que a máxima tensão nos espelho simples formado por M6 e M5 é

$$V_{sd6} = V_{sg6} = 2 \left(\beta_1 / \beta_6 \right)^{0,5} V_x - V_{tP} \quad (3.3-8)$$

onde V_{tP} é a tensão de limiar dos espelhos de corrente tipo P.

Como $V_{d6} = V_{d2}$ tem-se, a partir das equações (3.3-7) e (3.3-8), que:

$$V_{2máx.} = V_{dd} + V_{tN} + V_{tP} - 2 \left(\beta_1 / \beta_6 \right)^{0,5} V_x. \quad (3.3-9)$$

As restrições das equações (3.3-6) e (3.3-9) descrevem os valores absolutos máximo e mínimo das entradas, para uma tensão diferencial máxima V_x de projeto.

A faixa de corrente máxima, de forma a garantir a operação dos transistores na região de saturação, em inversão forte, e conseqüentemente a operação linear do circuito, é dada por:

$$- 4 \left(\frac{\beta}{\beta_3} \right)^{0,5} I_B \leq I_o \leq 4 \left(\frac{\beta}{\beta_3} \right)^{0,5} I_B \quad (3.3-10)$$

Pode-se também obter a transcondutância g_m através da seguinte equação:

$$g_m = 2 \beta_1 V_x = 2 \left[2 I_B \frac{\beta_1^2}{\beta_3} \right]^{0,5} \quad (3.3-11)$$

com a transcondutância podendo ser controla por meio do ajuste da corrente de polarização I_B .

Naturalmente, nas aplicações da estrutura proposta neste trabalho deve-se ter em mente as restrições sobre as entradas. Nos diversos artigos sobre implementações de OTA's as análises são restritas apenas ao limite na tensão diferencial, sem mencionar as restrições devido ao valor absoluto da tensão de entrada ou à tensão de modo comum.

3.4- OBTENÇÃO DA CORRENTE DE POLARIZAÇÃO.

As fontes de corrente I_B podem ser obtidas de dois modos. O primeiro é simplesmente através da aplicação de uma tensão V_{GG} na porta de M16 que é dada por:

$$V_{GG} = V_{SS} + V_{tN} + \sqrt{\frac{2 I_B}{\beta_{16}}} = V_{SS} + V_{tN} + \sqrt{\frac{\beta_3}{\beta_{16}}} V_x \quad (3.4-1)$$

onde V_{tN} representa, também, as tensões de limiar dos transistores das fontes de corrente e dos espelhos tipo N. Fixando-se os

valores da corrente desejada e da geometria do transistor M16 (ou M15) pela faixa absoluta de tensão dada pelas equações de projeto determina-se V_{GG} , que pode ser obtida de um simples divisor CMOS. O segundo modo de polarização do OTA é através da injeção da corrente I_B por meio de um espelho de corrente unitário, como é mostrado na fig. 3.2-3(b).

Em geral, é preferível estabilizar a corrente de polarização do circuito pois, desta forma, os parâmetros do OTA serão menos dependentes do processo tecnológico e da temperatura, o que não acontece com polarização em tensão.

Para esta estrutura de OTA proposta (fig. 3.2-3), deve-se ter um espelhamento adequado para que não haja um comprometimento do desempenho das fontes suspensas. Deve-se, a princípio, utilizar espelhos cascode de forma a melhorar a precisão no espelhamento das correntes I_1 e I_2 , embora isto possa significar uma redução na faixa admissível da tensão de entrada. Outro fator que acarreta erro é o descasamento entre os componentes das fontes suspensas. Em outras palavras, para se obter boa linearidade deve-se ter bom casamento entre transistores.

3.5- ANÁLISE DO DESCASAMENTO ENTRE COMPONENTES.

Em amplificadores diferenciais o descasamento entre componentes pode causar tensão de "offset" e ganho de modo comum elevados. Em amplificadores operacionais de transcondutância, se os mesmos operarem como componentes de filtros OTA-C, uma característica adicional deverá ser observada: a linearidade. Mostrar-se-á, inicialmente, as conseqüências causadas pelo

$$dI_1 = \frac{\partial I_1}{\partial \beta} d\beta + \frac{\partial I_1}{\partial V_B} dV_B + \frac{\partial I_1}{\partial V_{tN}} dV_{tN} \quad (3.5-2)$$

$$= \frac{1}{2}(v + V_B - V_{tN})^2 d\beta + \beta(v + V_B - V_{tN})dV_B - \beta(v + V_B - V_{tN})dV_{tN}.$$

Dividindo toda equação (3.5-2) pela máxima corrente de saída na faixa linear ($I_{1máx} = I_{Omáx} = 2 \beta v_x V|_{v=v_x}$), e considerando que o descasamento é proveniente dos transistores M1 e M3, obtem-se:

$$\frac{\Delta I_1}{I_{Omáx}} \approx \frac{\Delta \beta}{4\beta} \left(\frac{v}{V_x} \right)^2 + \frac{1}{2} \left[\frac{\Delta \beta}{\beta} + \frac{\Delta V_B - \Delta V_{tN}}{V_x} \right] \left(\frac{v}{V_x} \right) + \frac{\Delta \beta}{4\beta} + \left[\frac{\Delta V_B - \Delta V_{tN}}{2V_x} \right] \quad (3.5-3)$$

onde $\Delta \beta$ é o desvio nos parâmetros transcondutância de M1 e M2, ΔV_B é o desvio entre as tensões de polarização e ΔV_{tN} a diferença nas tensões de limiar de M1 e M2 de modo que $\Delta V_B - \Delta V_{tN} = \Delta V_x$.

A expressão (3.5-3) mostra que descasamentos nas tensões de limiar e nas tensões de polarização, quando independentes da tensão de entrada, provocam corrente de "offset" e erro na inclinação enquanto o descasamento em β provoca, além dos erros anteriores, distorção de 2ª harmônica cuja amplitude relativa é proporcional a $\Delta \beta / \beta$.

A tensão de polarização V_B nos transistores M3 e M4 da fig. 3.2-3 é dada por:

$$V_B = \sqrt{\frac{2 I_3}{\beta_3}} + V_{tN3} = V_x + V_{tN} \quad (3.5-4)$$

com $\beta_3 = \beta_4$, e fazendo-se referência à fig. 3.5-1, tem-se, para variações na tensão V_B :

$$\frac{\Delta V_B}{V_x} = \frac{1}{2} \left[\frac{\Delta I_3}{I_B} - \frac{\Delta \beta_3}{\beta_3} \right] + \frac{\Delta V_{tN3}}{V_x} \quad (3.5-5)$$

No circuito da fig. 3.2-3b, a diferença nas tensões V_{gs} de M3 e M4 ocorre devido à desigualdade entre as correntes de dreno e ao descasamento entre M3 e M4. As correntes de dreno podem diferir devido à diferença entre as correntes de polarização de M15 e M16 e devido ao espelhamento imperfeito de I_1 e I_2 . Estas diferenças provocam corrente de "offset" e erro na transcondutância; adicionalmente, erros nos ganhos dos espelhos de corrente também produzem distorção harmônica, como será mostrado.

Para as fontes dos transistores M1 e M2, tem-se que:

$$I_3 = I_{15} + I_{11} - I_1 \quad (3.5-6a)$$

$$I_4 = I_{16} + I_{14} - I_2 \quad (3.5-6b)$$

Subtraindo-se (3.5-6a) de (3.5-6b) obtém-se

$$\Delta I_3 = \Delta I_B + \Delta(I_{1ESP} - I_{2ESP}) \quad (3.5-7)$$

onde ΔI_3 é o erro relativo nas correntes de M3 e M4 , ΔI_B a diferença nas correntes de polarização, ΔI_{1ESP} e ΔI_{2ESP} são os erros causados pelos espelhos nas correntes I_1 e I_2 , respectivamente. Escrevendo os erros nos espelhos como:

$$\Delta I_{iESP} = I_i \left[\frac{\Delta \beta_{eq}}{\beta_{eq}} \right]_i + \left[\frac{\beta_1 \beta_P}{2} \right]^{0,5} \Delta V_{tPi} - \left[\frac{\beta_1 \beta_P}{2} \right]^{0,5} \Delta V_{tNi} ,$$

$$i = 1,2 \quad (3.5-8)$$

tem-se para o erro relativo nas correntes de M3 e M4

$$\begin{aligned} \frac{\Delta I_3}{I_B} = \frac{1}{I_B} \left[\Delta I_B + \frac{\beta_1}{2} (v + v_x)^2 \left[\frac{\Delta \beta_{eq}}{\beta_{eq}} \right]_1 - \frac{\beta_1}{2} (-v + v_x)^2 \left[\frac{\Delta \beta_{eq}}{\beta_{eq}} \right]_2 \right. \\ \left. - r_1 (v + v_x) + r_2 (-v + v_x) \right] \end{aligned} \quad (3.5-9)$$

onde

$$\left[\frac{\Delta \beta_{eq}}{\beta_{eq}} \right]_i = \left[\frac{\Delta \beta_N}{\beta_N} \right]_i - \left[\frac{\Delta \beta_P}{\beta_P} \right]_i , \quad i = 1,2 \quad (3.5-10)$$

representa a diferença dos erros percentuais dos ganhos de corrente dos espelhos de I_1 e I_2 e

$$r_i = \left[\frac{\beta_1 \beta_N}{2} \right]^{0,5} \Delta V_{tNi} - \left[\frac{\beta_1 \beta_P}{2} \right]^{0,5} \Delta V_{tPi} , \quad i = 1,2 \quad (3.5-11)$$

sendo β_N , β_P os parâmetros transcondutância dos transistores dos espelhos N e P, respectivamente, ΔV_{tP1} e ΔV_{tN1} as diferenças nas tensões de limiar dos espelhos P e N relativos à corrente I_1 , $i = 1, 2$.

Substituindo-se (3.5-9) e (3.5-5) em (3.5-3), pode-se calcular a variação da corrente I_1 em função dos descasamentos dos transistores.

3.6- RESULTADOS DAS SIMULAÇÕES.

Os testes de desempenho do OTA foram obtidos com o circuito mostrado na fig. 3.6-1, utilizando o simulador elétrico SPICE. Espelhos de corrente cascode foram empregados para redução do efeito de modulação da corrente no transistor com a tensão dreno-fonte. Nas simulações adotou-se $V_{dd} = -V_{ss} = 5V$ e os parâmetros de processo indicados na tabela 3.6-1. A fig. 3.6-2a ilustra a corrente de saída I_0 em função da tensão de entrada V_1 , tomando V_2 como parâmetro e ajustando o nível de polarização V_{GG} para obter $V_x = 0,9V$. É possível observar que tensões diferenciais pouco superiores a V_x já comprometem a linearidade do conversor $V \times I$. Na fig. 3.6-2b, onde $V_x = 1,9V$, fica evidenciada a operação fora da região de saturação dos transistores M29-M30 da fonte de corrente e M21-M22 do espelho de corrente de I_2 , para V_1 inferior a aproximadamente $-1,0V$. A obtenção de grandes variações de transcondutâncias através da mudança de V_x deve ser cuidadosamente analisada pois os limites dos níveis de tensão de entrada para operação linear da célula do OTA irão variar em função do valor de V_x .

PARÂMETRO	NMOS	PMOS	UNIDADE
VTO	0,8	-0,8	V
TOX	470E-10	470E-10	m
U0	600	220	cm ² /Vs
UCRIT	0,93E5	0,85E5	V/cm
VMAX	5E4	3E4	m/s
NSUB	6E15	1,1E15	1/cm ³
GAMMA	0,43	0,53	V ^{0,5}
NEFF	3,3	3,5	—

Tabela 3.6-1: Parâmetros do processo.

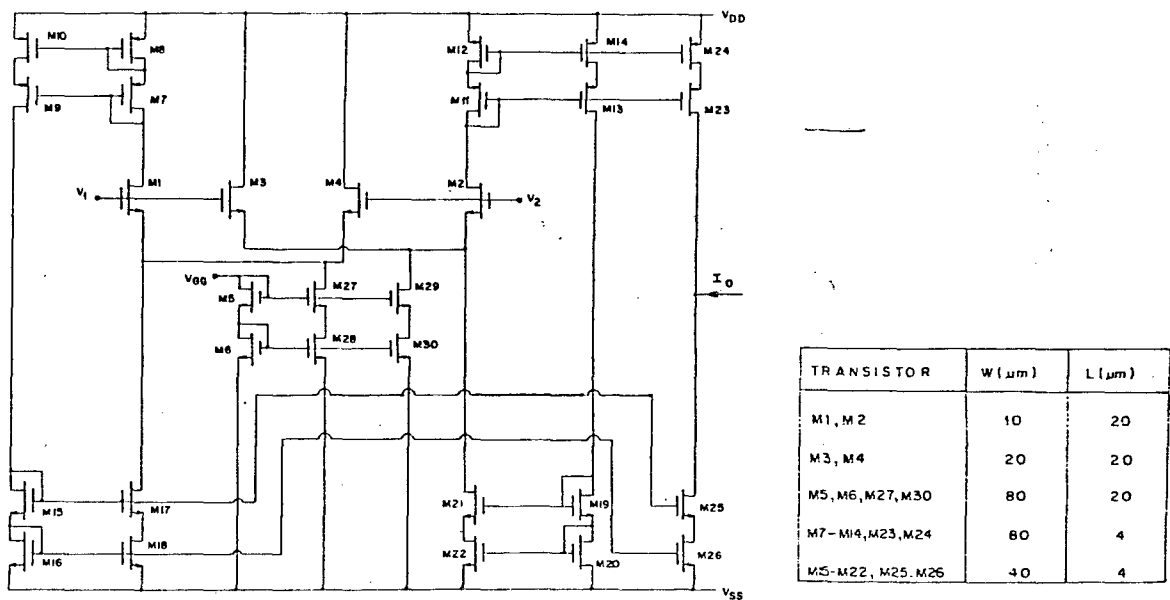


Figura 3.6-1: Circuito do OTA simulado com espelhos de corrente cascode.

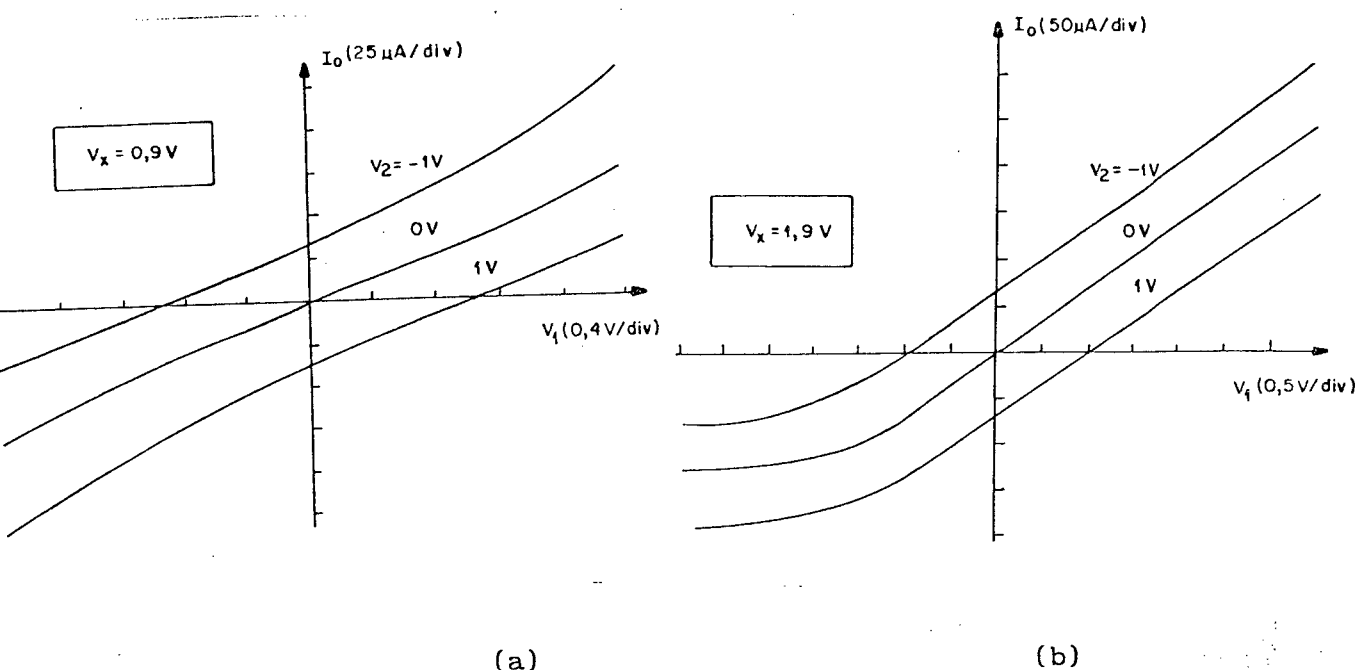


Figura 3.6-2: Curva de transferência do OTA: a) $V_x = 0,9\text{ V}$;
b) $V_x = 1,9\text{ V}$.

A fig. 3.6-3 apresenta gráficos da distorção harmônica total para valores de $V_x = 0,9\text{ V}$ e $1,9\text{ V}$. Para amplitudes da tensão de entrada inferiores a V_x , a componente dominante da distorção é a 3ª harmônica; à medida que a amplitude da entrada cresce além de V_x , a componente dominante da distorção passa a ser a 2ª harmônica. A polarização de 1 V foi adotada no caso da simulação correspondente à fig. 3.6-3b para assegurar o funcionamento dos transistores do OTA na região de saturação. As curvas apresentadas mostram que a distorção harmônica do OTA é inferior a 2% se a tensão diferencial de entrada for cerca de 20% superior a V_x . Para tensões diferenciais inferiores a V_x , a distorção harmônica é, ainda, normalmente inferior a 1%. A diferença nos níveis de distorção para as frequências de 1 kHz e 100 kHz deve-se à maior influência dos capacitores do circuito em frequências mais altas.

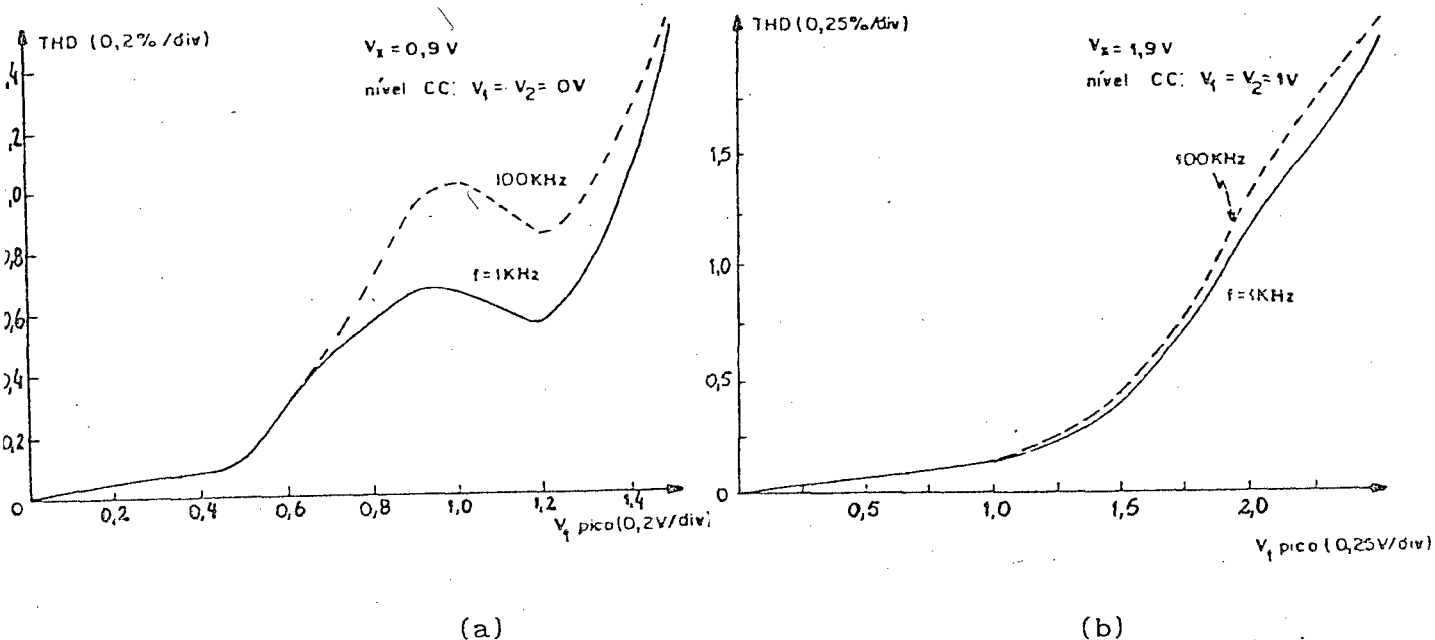


Figura 3.6-3: Distorção harmônica da corrente de saída em função da amplitude de pico da tensão de entrada, nas frequências de 1 e 100 kHz:

- a) $V_x = 0,9\text{ V}$ e níveis CC de V_1 e V_2 de 0 V;
- b) $V_x = 1,9\text{ V}$ e níveis CC de V_1 e V_2 de 1 V.

Por tratar-se de uma estrutura casada e simétrica (OTA proposto), os resultados obtidos das simulações referentes às razões de rejeição do modo comum e das fontes de alimentação foram pouco relevantes.

Também foi simulado um circuito de OTA com transistores de entrada e fontes de corrente tipo P, topologia idêntica à da fig. 3.6-1 (mostrado na fig. 3.6-4), cujos parâmetros de processo e as dimensões dos transistores são listados na tabela 3.6-2. Neste OTA utilizou-se espelhos cascode com ganho 2:1 de forma a reduzir a transcondutância total. Esta relação nos espelhos foi obtida através do uso de transistores, com as mesmas dimensões,

conectados em paralelo.

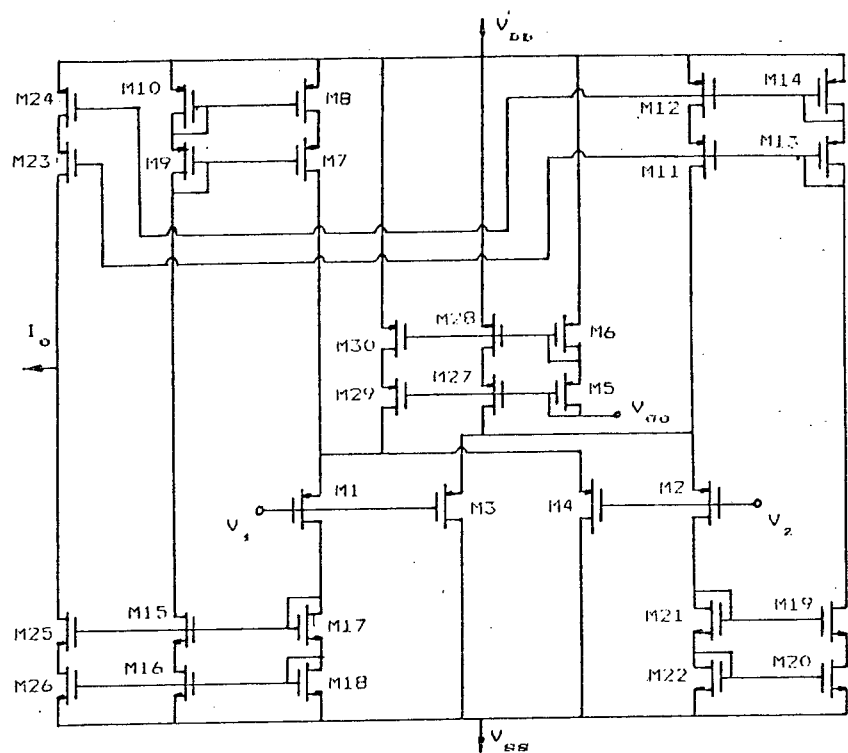


Figura 3.6-4: Circuito do OTA com transistores de entrada canal P.

TRANSISTOR	W(μm)	L(μm)	PARÂMETRO	NMOS	PMOS	UNID.
M1, M2	10	50	VTO	0,9	-0,6	V
M3, M4	10	20	TOX	400E-10	400E-10	m
M5, M6, M27-M3	20	10	UO	510	175	cm /V ² _S
M7A-M8B	24	10	UCRIT	1E3	4,72E3	V/cm
M11A-M12B	24	10	VMAX	37,9E3	37,2E3	m/s
M17A-M18B	24	10	NSUB	0,53E16	0,53E16	1/cm ³
M21A-M22B	24	10	GAMMA	0,43	0,53	V ^{0,5}
M9, M10, M13, M14	24	10	NEFF	2,74	10	—
M15, M16, M19, M20	24	10				

(a)

(b)

Tabela 3.6-2: a) Dimensões dos transistores; b) parâmetros de processo utilizados nas simulações do OTA com transistores de entrada canal P.

A fig. 3.6-5 mostra o gráfico da distorção harmônica total para $V_x = 1,5V$ em função da amplitude da tensão de entrada, nas frequências de 1kHz e 100kHz. Para o OTA, que foi utilizado em um filtro anti-recobrimento (capítulo 4), a curva de 1kHz serve como bom indicativo da distorção, pois a frequência limite na banda passante do filtro é de 3,4kHz.

As curvas apresentadas, para o OTA com transistores de entrada tipo P, mostram que os níveis de distorção harmônica são inferiores a 0,86% se a tensão diferencial de entrada for cerca de 33% superior a V_x . A causa do desnível destas curvas deve-se à maior influência dos capacitores em altas frequências, como mencionado anteriormente. A melhora em termos de distorção harmônica, em relação ao OTA com transistores de entrada tipo N, deve-se principalmente ao aumento do comprimento do canal dos transistores de entrada, minimizando, desta forma, o efeito da modulação da corrente de dreno com a tensão porta-fonte.

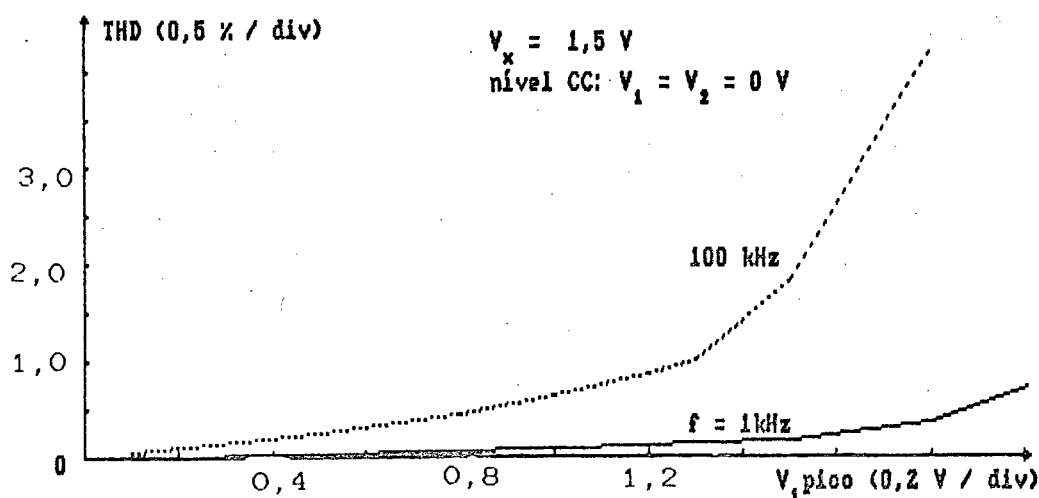


Figura 3.6-5: Distorção harmônica da corrente de saída em função da amplitude de pico da tensão para $V_x = 1,5V$, nas frequências de 1 e 100kHz.

3.7- RESPOSTA EM FREQUÊNCIA.

Será analisada a resposta em frequência, a partir do modelo pequenos sinais, do conversor VxI apresentado. Para se obter total simetria no circuito da fig. 3.2-3b um estágio de saída, idêntico ao formado pelos transistores M9 e M12 da figura citada, é introduzido em seu lado esquerdo conectando as portas desses novos transistores às portas dos transistores M7 e M10, de forma a obter um conversor VxI de saída diferencial. O modelo pequenos sinais, do OTA, para entrada diferencial ($V_1 = -V_2 = v$) é apresentado na fig. 3.7-1.

Para o modelo apresentado pela fig. 3.7-1, tem-se:

$$C_1 = C_{gs5} + C_{gs7} + C_{gsP} + C_{db5} \cong C_{gs5} + C_{gs7} + C_{gsP} \quad (3.7-1a)$$

$$C_2 = C_{gs10} + C_{gs11} + C_{gsN} + C_{db7} + C_{db10} \cong C_{gs10} + C_{gs11} + C_{gsN} \quad (3.7-1b)$$

$$gds_E = gds_3 + gds_{11} + gds_{15} \quad (3.7-1c)$$

onde foram desprezados as capacitâncias C_{gd} 's. C_{gsN} , C_{gsP} , representam as somas das capacitâncias porta-fonte dos transistores NMOS e PMOS dos estágios de saída, respectivamente.

Através da análise nodal do circuito da fig. 3.7-1, obtem-se de V_{d1}/v o denominador da função de transferência dado por:

$$D(s) = C_1 C_2 C_3 \left\{ s^3 + \left[\frac{(g_{m1} + g_{m3})}{C_3} + \frac{C_2 g_{m5} + C_1 g_{m10}}{C_1 C_2} \right] s^2 + \left[\frac{g_{m5}(g_{m1} + g_{m3})}{C_1 C_3} + \frac{g_{m5} g_{m10}}{C_1 C_2} + \frac{g_{m10}(g_{m1} + g_{m3})}{C_2 C_3} \right] s + \frac{g_{m3} g_{m5} g_{m10} + g_{m1}(g_{m10} g_{m5} - g_{m7} g_{m11})}{C_1 C_2 C_3} \right\} \quad (3.7-2)$$

onde $C_3 = C_{gs1} + C_{gs3}$. Supondo aproximação por pólo dominante com $|p_1| \ll |p_2|, |p_3|$, obtem-se para $|p_1|$ a seguinte relação:

$$|p_1| = \frac{g_{m3} g_{m5} g_{m10} + g_{m1}(g_{m10} g_{m5} - g_{m7} g_{m11})}{(g_{m1} + g_{m3})(C_1 g_{m10} + C_2 g_{m5}) + C_3 g_{m5} g_{m10}} \quad (3.7-3)$$

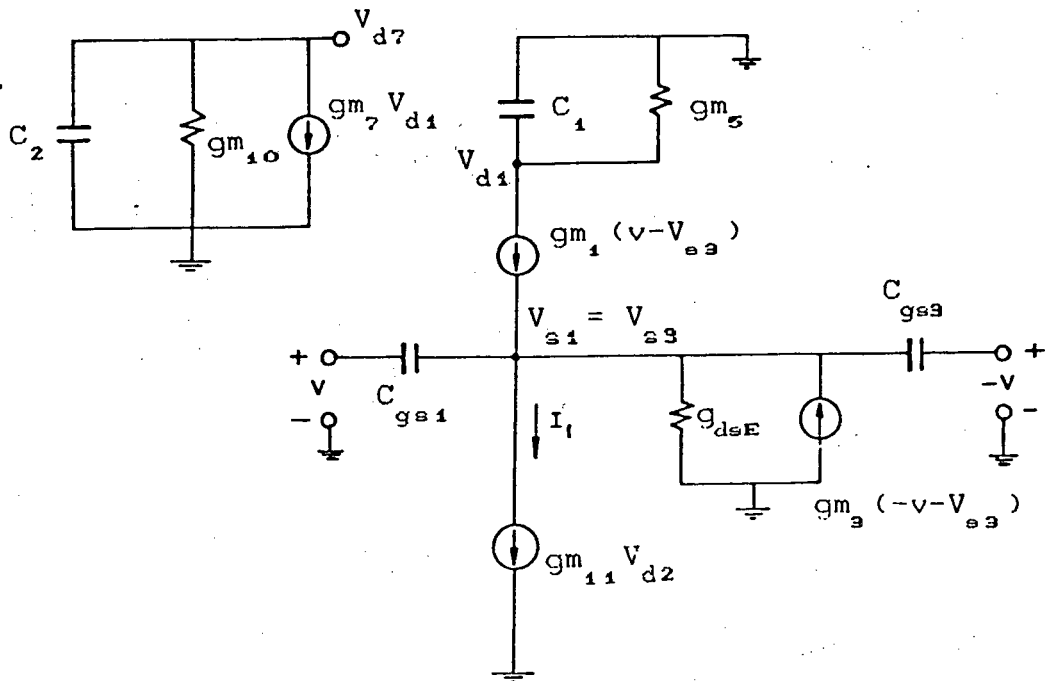


Figura 3.7-1: Modelo pequenos sinais do OTA com saída diferencial.

Supondo que os espelhos são ideais, $g_{m_{10}} = g_{m_{11}}$ e $g_{m_5} = g_{m_7}$, a equação (3.7-3) pode ser reescrita como:

$$|p_1| \cong \frac{g_{m_3}}{(g_{m_1} + g_{m_3}) \left[\frac{C_1}{g_{m_5}} + \frac{C_2}{g_{m_{10}}} \right] + C_3} \quad (3.7-4)$$

onde C_1 e C_2 são dados por (3.7-1a) e (3.7-1b), respectivamente.

De posse da relação (3.7-5) obtém-se, em primeira aproximação, para $D(s)$:

$$D(s) \cong \left[s + \frac{g_{m_3}}{(g_{m_1} + g_{m_3}) \left[\frac{C_1}{g_{m_5}} + \frac{C_2}{g_{m_{10}}} \right] + C_3} \right] \left[s^2 + \left(\frac{g_{m_1} + g_{m_3}}{C_3} + \frac{g_{m_{10}}}{C_2} + \frac{g_{m_5}}{C_1} + \frac{g_{m_3}}{(g_{m_1} + g_{m_3}) \left[\frac{C_1}{g_{m_5}} + \frac{C_2}{g_{m_{10}}} \right] + C_3} \right) s + \left(\frac{g_{m_1} + g_{m_3}}{C_3} \right) \left(\frac{g_{m_{10}}}{C_2} + \frac{g_{m_5}}{C_1} \right) + \frac{g_{m_5} g_{m_{10}}}{C_1 C_2} \right] \quad (3.7-5)$$

Através da fig. 3.7-1, pode-se obter o numerador referente à função de transferência do OTA de saída simétrica, que é o numerador de V_{d1}/v , dado por:

$$N_E(s) = -2gm_1 \left[s^2 + \left(\frac{gm_3}{C_{gs1}} + \frac{gm_{10}}{C_2} \right) s + \frac{gm_3}{C_{gs1}} \frac{gm_{10}}{C_2} \right]. \quad (3.7-6)$$

De maneira análoga, pode-se obter o numerador do lado direito do circuito, onde tem-se:

$$N_D(s) = -2 gm_2 \left[s^2 + \left(\frac{gm_4}{C_{gs4}} + \frac{gm_{13}}{C'_2} \right) s + \frac{gm_4}{C'_2} \frac{gm_{13}}{C_{gs4}} \right] \quad (3.7-7)$$

$$\text{com } C'_2 = C_{gs13} + C_{gs14} + C_{gsN}.$$

Tomando a saída em I_0 , como na fig. 3.2-3b, obtem-se:

$$I_0 = gm_{12} V_{d7} + gm_9 V'_{d1} \quad (3.7-8)$$

onde V'_{d1} é a tensão simétrica a V_{d1} (ou seja, $V'_{d1} = V_{d2}$). Através do circuito da fig. 3.7-1, tem-se que:

$$V_{d7} = - \left(\frac{gm_{12} gm_7}{sC_2 + gm_{10}} \right) V_{d1} \quad (3.7-9)$$

e sabendo-se que

$$\frac{V_{d1}}{V} = \frac{N_E(s)}{D(s)} \quad \text{e} \quad \frac{V'_{d1}}{V} = \frac{N_D(s)}{D(s)} \quad (3.7-10)$$

obtem-se a transferência total dada por:

$$\frac{I_o}{v}(s) = \frac{N(s)}{D(s)} = \frac{2g_{m1} g_{m7}}{D(s)} \left[s^2 + \left(\frac{2 g_{m10}}{C_{gs1}} + \frac{g_{m3}}{C_2} \right) s + \right. \\ \left. \frac{g_{m10} g_{m3}}{C_2} \left(\frac{C_{gs1} + C_{gs3}}{C_{gs1} C_{gs3}} \right) \right] \quad (3.7-11)$$

onde $D(s)$ é dado por (3.7-2) e considera-se que os parâmetros de cada transistor e de seu simétrico são iguais, com $M12 \equiv M10$ e $M9 \equiv M7$.

A fig. 3.7-2 mostra a resposta em frequência para o circuito da fig 3.6-1, usado nas simulações, com os parâmetros de processo dados na tabela 3.6-1. Nota-se pela fig. 3.7-2, que este OTA apresenta transcondutância com queda de 3 dB em frequências em torno de 5 MHz. Os efeitos das capacitâncias dos espelhos cascode são mais acentuados nas altas frequências. Para frequências em torno da largura de banda, praticamente não há diferença entre os OTA's construídos com espelhos simples e cascode validando o uso da aproximação (3.7-4). Para uma análise mais rigorosa, deve-se levar em conta nas equações acima os capacitores provenientes dos espelhos cascode.

Com a equação (3.7-4) pode-se obter o valor da largura de banda através do dimensionamento adequado dos transistores que compõem o OTA.

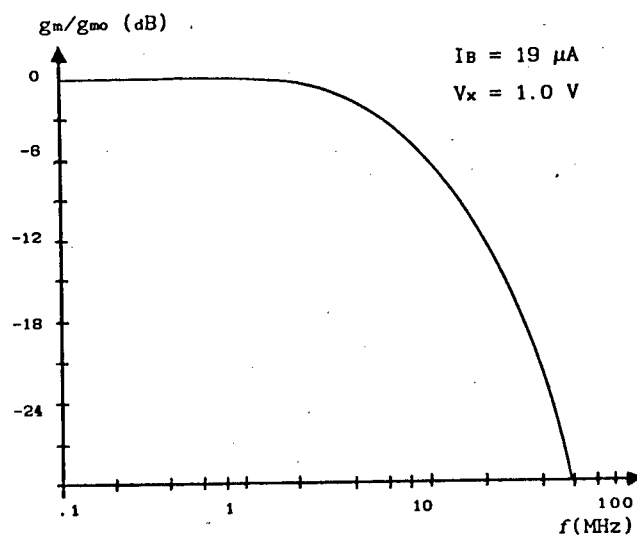


Figura 3.7-2: Resposta em frequência do circuito da fig.3.6-1 (g_{m0} é o valor de g_m em baixas frequências).

3.8- SLEW-RATE.

O componente proposto (OTA) é um amplificador operacional cuja capacidade de corrente de saída depende da tensão diferencial de entrada e do capacitor de carga, de acordo com a fig 3.8-1.

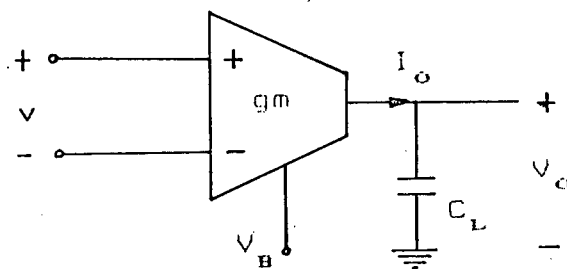


Figura 3.8-1: OTA com capacitor de carga na saída.

Pela fig. 3.8-1, tem-se:

$$\frac{dV_0}{dt} = \frac{gm \ v}{C_L} \quad (3.8-1)$$

com o "slew-rate" dado por:

$$SR = \left. \frac{dV_0}{dt} \right|_{\text{máx}} = \frac{gm}{C_L} V_x \quad (3.8-2)$$

para $|v| = V_x$.

Pela equação (3.8-1) nota-se a dependência do "slew-rate" com a variação da capacitância de carga C_L . Naturalmente, como no caso de amplificadores operacionais, o "slew-rate" é um fator a ser considerado na etapa de projeto do OTA, dependendo do circuito onde será empregado, do nível de tensão e da faixa de frequências de utilização.

Neste capítulo foi proposta uma estrutura de OTA linear com as respectivas equações de projeto. No apêndice A será apresentado um resumo das equações descrevendo os procedimentos adotados para o projeto do OTA proposto neste trabalho.

CAPÍTULO 4 : APLICAÇÃO DA ESTRUTURA PROPOSTA NUM FILTRO ANTI-RECOBRIMENTO.

4.1- INTRODUÇÃO.

O crescente aumento da densidade de integração com o uso da tecnologia CMOS tornou possível a realização de sistemas completos em um mesmo "chip", aí incluindo as funções de filtragem. Filtros digitais e a capacitores chaveados, ambos compatíveis com esta tecnologia, possuem algumas vantagens em comum tais como boa precisão e possibilidade de sintonia. No entanto, se as entradas e/ou saídas são contínuas, então são necessários filtros contínuos anti-recobrimento e/ou reconstrução. Na maioria das vezes tal filtro não pode ser feito passivo-RC ou ativo-RC devido aos problemas de precisão e/ou da área ocupada pelos resistores.

Filtros contínuos integráveis (RC-ativos, MOSFET-C e OTA-C), quando utilizados nas funções de anti-recobrimento e reconstrução sem o uso de alguma forma de controle de suas características, possibilitando sintonia, exigem que a operação de conversão de sinais contínuos em amostrados e vice-versa seja feita com frequência de amostragem muito mais alta que a máxima frequência do sinal.

As técnicas de sintonia automática, muito bem descritas em [9], normalmente permitem obter precisão de até 0,1% nas características desejadas [16], mas a expensas da utilização de circuitos complexos para este fim.

Neste capítulo é apresentada uma técnica de controle simples, para aplicações onde a precisão exigida da resposta em frequência não é muito grande, utilizável em estruturas que fazem uso de

amplificadores operacionais de transcondutância. Esta técnica será aplicada a um filtro anti-recobrimento de um CODEC [8], que utiliza a técnica de capacitores chaveados.

4.2- CONTROLE DAS TRANSCONDUTÂNCIAS DOS OTA'S.

O circuito de controle proposto, mostrado pela fig. 4.2-1, é formado por um resistor externo "R" de referência, um OTA interno com transcondutância controlável "gm", um amplificador operacional e um divisor de tensão constituído por M1, M2 e M3.

A malha de controle tem o objetivo de produzir um nível de polarização V_B adequado para que as transcondutâncias dos OTA's tenham valores próximos aos nominais.

Fazendo $M2 \equiv M3$, a tensão na entrada não inversora do amplificador operacional é $V_1/2$ enquanto que na entrada inversora é:

$$V_o = \frac{V_1}{gm.R + 1} \quad (4.2-1)$$

Supondo condições ideais para o circuito de controle de gm, o equilíbrio é atingido quando:

$$gm.R = 1 \quad (4.2-2)$$

com a saída do amplificador operacional assumindo um nível de

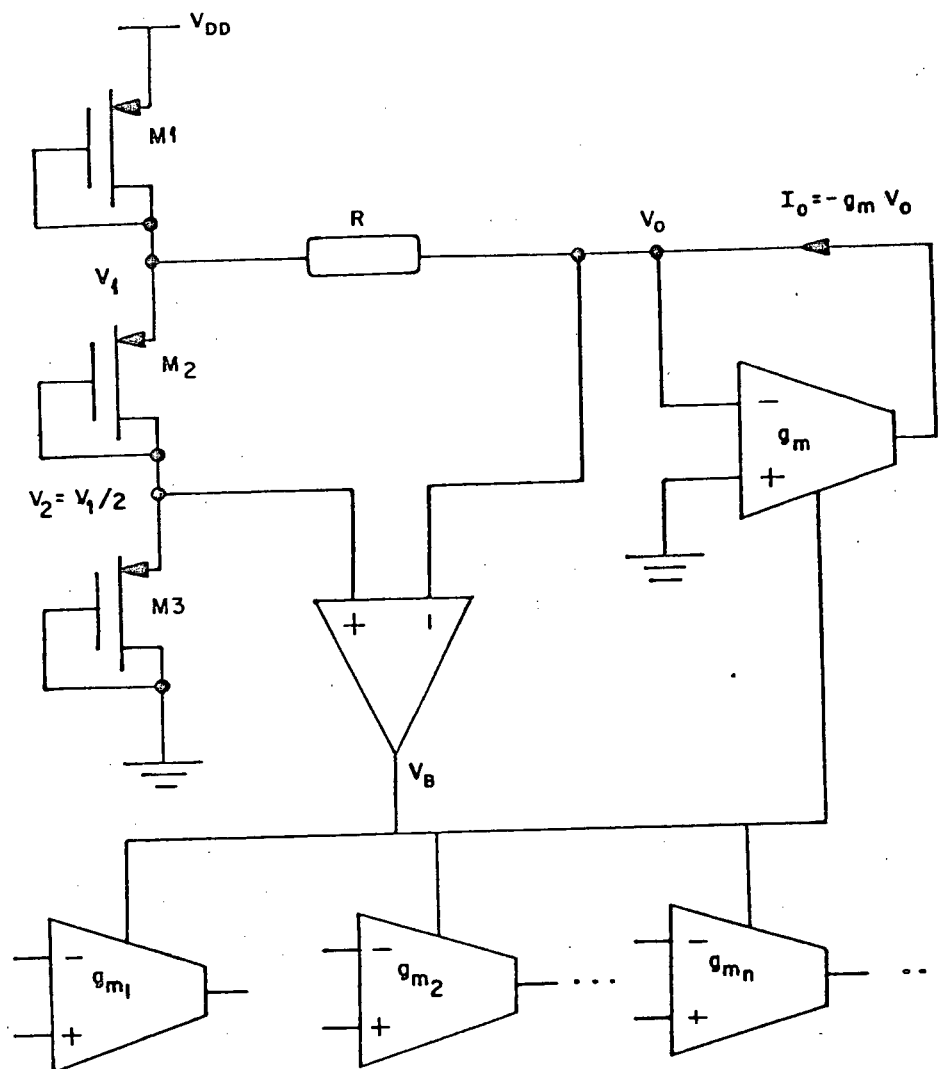


Figura 4.2-1: Circuito de controle automático de transcondutância.

polarização tal que $g_m = 1/R$ no OTA da malha de controle.

Esta tensão, V_B , na saída do amplificador operacional servirá para polarizar os OTA's dos circuitos, assegurando valores de g_{m_i} 's, com $i = 1, 2, \dots, n$, próximos aos nominais.

Como pode ser visto através da fig. 4.2-1, a malha de controle é responsável pelo nível de polarização de forma a controlar os diversos valores das transcondutâncias dos OTA's.

Isto é possível devido aos valores das transcondutâncias dos OTA's controlados manterem uma relação para o OTA da malha de controle, bastando para isso alterar a relação dos espelhos de corrente dos OTA's controlados, mantendo o mesmo nível de polarização V_B de controle para todos.

Esta forma de controle não assegura diretamente a característica de transferência dos circuitos, mas garante o nível de polarização e, conseqüentemente, a manutenção dos valores relativos das transcondutâncias dos OTA's dentro de cerca de 1% de seus valores nominais se admitirmos que OTA's casados não têm dispersão maior que 1% nesses valores.

A tabela 4.2-1 apresenta os resultados referentes ao controle da transcondutância do OTA da fig. 4.2-1, obtidos por simulações no SPICE, para variações na temperatura e para dispersão tecnológica nos parâmetros referentes ao 3º Projeto Multiusuário (PMU 003), sendo o OTA e o amplificador operacional projetados segundo o capítulo 3 ([7]) e referência [11], respectivamente.

Os valores de g_m obtidos nas diversas simulações diferem até cerca de 1% de seu valor nominal devido principalmente à relação I-V do OTA ser levemente não linear [7]. Vale ressaltar que as tensões de "offset" do OTA e do amplificador operacional e o erro do divisor de tensão não foram considerados nas simulações, mas devem ser levados em conta em situações reais, como será mostrado a seguir.

TEMPERATURA	Parâmetros PMU 003	gm, ($\mu\text{A/V}$) no ponto de operação	Tensão de polarização V_B (V)
0 °C	SLOW	2,805	1,64
	TÍPICO	2,805	2,06
	FAST	2,810	2,56
27 °C	SLOW	2,815	1,46
	TÍPICO	2,805	1,90
	FAST	2,805	2,44
80 °C	SLOW	2,825	1,05
	TÍPICO	2,810	1,56
	FAST	2,800	2,20

Tabela 4.2-1: Resultados obtidos através de simulações para
 g_m (nominal) = $1 / R = 2,8 \mu\text{A/V}$.

4.3- ANÁLISE DAS NÃO-IDEALIDADES.

Algumas considerações sobre os erros da malha de controle de polarização dos OTA's devem ser feitas. As principais fontes de erro, neste caso, são: imprecisão do resistor de referência, erro no divisor de tensão, tensões de "offset" do amplificador operacional e do OTA e não linearidades do OTA. O erro devido ao ganho finito do amplificador operacional pode ser, em geral, desprezado para ganhos em malha aberta superiores a 5000 (neste caso, o erro seria inferior a 1mV, valor em geral bastante inferior ao desvio padrão das tensões de "offset"). A primeira fonte de erro citada pode ser reduzida utilizando-se resistores com precisão de 1%, por exemplo, enquanto que o erro devido à não-linearidade do OTA pode ser desprezado se aplicarmos níveis de

tensão pouco abaixo do valor teórico da tensão limite de linearidade [7].

Analisando o erro produzido pela técnica do divisor de tensão, tem-se para a fig. 4.3-1:

$$\Delta V_{gs} = \Delta V_t - \left[\frac{V_{gs} - V_t}{2} \right] \frac{\Delta\beta}{\beta} \quad (4.3-1)$$

onde $\Delta\beta$ é o desvio nos parâmetros transcondutância, ΔV_{gs} é o desvio entre as tensões porta-fonte e ΔV_t a diferença nas tensões de limiar dos transistores que compõem o divisor. O equilíbrio da malha é obtido quando:

$$V_o = -V_{sg2}, \quad V_{gs1} = V_{gs2} + \Delta V_{gs}. \quad (4.3-2)$$

Sendo $g = 1/R$ e g_m a transcondutância do OTA da malha de controle, tem-se pela condição de equilíbrio que:

$$\frac{V_1}{2} - \frac{1}{2} \left[\Delta V_t - \left[\frac{V_{gs} - V_t}{2} \right] \frac{\Delta\beta}{\beta} \right] = V_o = \frac{g}{g_m + g} V_1 \quad (4.3-3)$$

com o erro relativo em g_m dado por:

$$V_o = V_2 + Vos_{OA} \quad (4.3-5a)$$

e

$$V_2 = \frac{V_1}{2} + \Delta V \quad (4.3-5b)$$

e que

$$I_o = \frac{V_o - V_1}{R} = -gm (V_o + Vos_{OTA}). \quad (4.3-5c)$$

Através das equações (4.3-5) pode-se escrever que:

$$V_o = \frac{V_1 - R gm Vos_{OTA}}{1 + R gm} = \frac{V_1}{2} + \Delta V + Vos_{OA} \quad (4.3-6)$$

e, finalmente

$$gm R \cong 1 - 4 \left[\frac{\Delta V + Vos_{OA} + (Vos_{OTA})/2}{V_1} \right] \quad (4.3-7)$$

Supondo erros não correlacionados, espera-se desvios inferiores a 3,5% em gm para valores máximos de $\Delta V = 10\text{mV}$, $Vos_{OA} = 10\text{mV}$, $Vos_{OTA} = 20\text{mV}$, com $V_1 = 2\text{V}$. Naturalmente, valores elevados de

V_1 são desejados para redução dos erros. Contudo, como mencionado anteriormente, o aumento de V_1 compromete a linearidade do OTA [7].

4.4- APLICAÇÃO A UM FILTRO ANTI-RECOBRIMENTO.

O método de controle automático de transcondutância, descrito anteriormente, será aplicado a um filtro anti-recobrimento de um CODEC, descrito em [8], que utiliza a técnica de capacitores chaveados (SC). Os requisitos de projeto do filtro anti-recobrimento são:

- 1) máximo "ripple" na banda passante de 0,04 dB;
- 2) mínima atenuação na banda de rejeição de 32 dB;
- 3) frequência limite da banda passante $f_p = 3,4$ kHz;
- 4) frequência limite da banda de rejeição $f_s = 123,4$ kHz.

O filtro será integrado em um "chip" CMOS que é compartilhado com o resto do sistema. Desta forma, é conveniente escolher estruturas simples para procurar reduzir sua área física.

Simulações mostraram que a realização do filtro pode ser obtida através de uma rede de 2ª ordem passa-baixas com função de transferência da forma:

$$H(s) = \frac{\omega_0^2}{s^2 + \frac{\omega_0}{Q}s + \omega_0^2} \quad (4.4-1)$$

com uma aproximação Butterworth, onde ω_0 e Q são o módulo e o fator de qualidade dos pólos, respectivamente. Adotando $Q = 1/\sqrt{2}$ (Butterworth) e usando os requisitos de projeto, tem-se:

$$|H(\omega)| \geq K_1, \quad \text{se } \omega \leq \omega_p \quad (4.4-2a)$$

$$|H(\omega)| \leq K_2, \quad \text{se } \omega \geq \omega_s \quad (4.4-2b)$$

onde $K_1 = 10^{-(0,04/20)}$ e $K_2 = 10^{-(32/20)}$.

Tomando a inequação (4.4-2a), aplicada em $\omega = \omega_p$, obtem-se a seguinte expressão para ω_0 :

$$(1 - K_1^2) \omega_0^4 + (2 - \frac{1}{Q^2}) K_1^2 \omega_p^2 \omega_0^2 - K_1^2 \omega_p^4 \geq 0 \quad (4.4-3a)$$

e, da mesma forma para (4.4-2b), aplicando $\omega = \omega_s$:

$$(1 - K_2^2) \omega_0^4 + (2 - \frac{1}{Q^2}) K_2^2 \omega_s^2 \omega_0^2 - K_2^2 \omega_s^4 \leq 0. \quad (4.4-3b)$$

Então, de acordo com as inequações (4.4-3a), (4.4-3b) e com $Q = 1/\sqrt{2}$ obtem-se a seguinte faixa de frequências para ω_0 :

$$\sqrt{\frac{K_2}{(1 - K_2^2)^{0,5}}} \omega_s \geq \omega_0 \geq \sqrt{\frac{K_2}{(1 - K_2^2)^{0,5}}} \omega_p \quad (4.4-4)$$

que permite obter a faixa de valores $2\pi.13 \text{ krad/seg} \leq \omega_0 \leq 2\pi.19,5 \text{ krad/seg}$.

A função de transferência desejada pode ser obtida com a estrutura OTA-C canônica da fig. 4.4-1, que apresenta a seguinte função de transferência:

$$\frac{V_0}{V_I}(s) = \frac{g_{m1} g_{m2} / C_1 C_2}{s^2 + \frac{g_{m2}}{C_2} s + \frac{g_{m1} g_{m2}}{C_1 C_2}} \quad (4.4-5)$$

onde, através da comparação com a expressão (4.4-1) tem-se:

$$\omega_0 = \sqrt{\frac{g_{m1} g_{m2}}{C_1 C_2}} \quad (4.4-6a)$$

$$Q = \sqrt{\frac{g_{m1} C_2}{g_{m2} C_1}} \quad (4.4-6b)$$

onde g_{m1} e g_{m2} são as transcondutâncias dos OTA's. Para a rede da fig. 4.4-1 adotou-se $\omega_0 = 2\pi 16 \text{ kHz}$, valor próximo à média aritmética dos extremos da faixa de valores obtidos pelas inequações (4.4-4). Fazendo-se $C_1 = 2C_2$, com $C_2 = 20 \text{ pF}$, e das relações (4.4-6) obteve-se $g_{m1} = g_{m2} = 2,8 \mu\text{A/V}$.

Pelas equações (4.4-6), pode-se notar que a frequência " ω_0 " é proporcional à razão entre transcondutâncias e capacitâncias sendo que os valores das capacitâncias podem variar cerca de 10% e os das transcondutâncias até 50% de seus respectivos valores

nominais. Por outro lado, o fator de qualidade "Q" é dependente da razão entre grandezas de mesma espécie que, em circuitos integrados, têm dispersão máxima de cerca de 1% se alguns cuidados de "layout" são adotados.

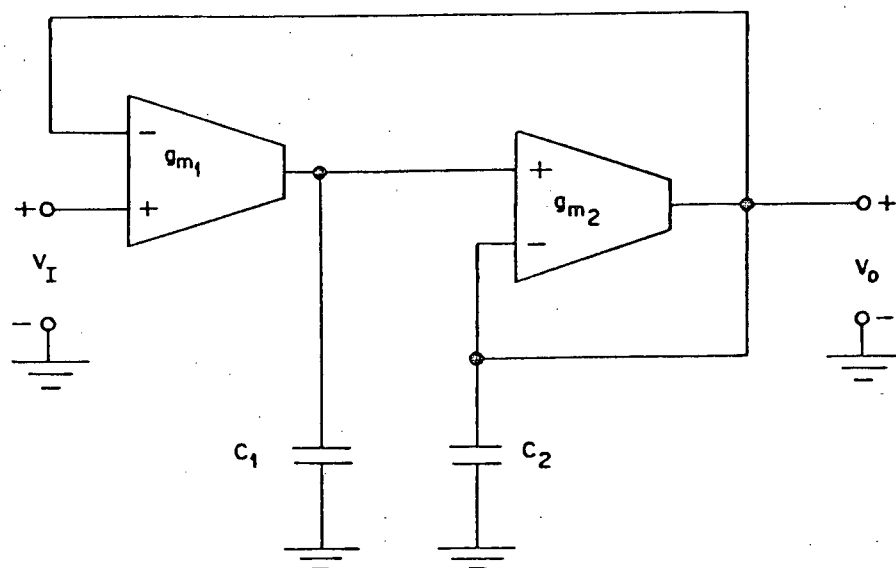


Figura 4.4-1: Filtro contínuo totalmente integrável OTA-C: estrutura canônica de 2ª ordem.

A análise de sensibilidade e do desvio da função de transferência, para os OTA's supostamente ideais, que será apresentada a seguir, levará em conta a variabilidade dos parâmetros g_m e C e a dispersão da razão de transcondutâncias e de capacitâncias em torno de seus valores nominais.

Considere-se, para a estrutura da fig. 4.4-1, que as relações entre transcondutâncias e capacitâncias são dadas por:

$$A = \frac{gm_2}{gm_1} = 1 \quad \left| \quad gm_1 = gm_2 = gm \right. \quad (4.4-7a)$$

$$B = \frac{C_2}{C_1} = \frac{1}{2} \quad \left| \quad C = C_1 = 2C_2 \right. \quad (4.4-7b)$$

Para o desvio do módulo da função de transferência, tem-se:

$$\frac{\Delta H}{H} = \sum_{i=1}^n \frac{x_i}{H} \frac{\partial H}{\partial x_i} V_{x_i} + \frac{1}{2!} \sum_{i=1}^n \frac{x_i^2}{H} \frac{\partial^2 H}{\partial x_i^2} V_{x_i}^2 + \text{termos de ordem superior.} \quad (4.4-8)$$

onde " x_i " são os parâmetros da função de transferência e " V_{x_i} " são suas variabilidades. Então, para os termos de 1ª ordem, tem-se:

$$\frac{\Delta H}{H} = \frac{gm}{H} \frac{\partial H}{\partial gm} V_{gm} + \frac{A}{H} \frac{\partial H}{\partial A} V_A + \frac{C}{H} \frac{\partial H}{\partial C} V_C + \frac{B}{H} \frac{\partial H}{\partial B} V_B. \quad (4.4-9)$$

Se as variabilidades são determinísticas, a partir de (4.4-9), pode-se determinar o desvio determinístico da magnitude de $H(\omega)$ em dB pela simples aplicação da equação:

$$\Delta |H(\omega)| \Big|_{dB} = 8,865 \, R_e \frac{\Delta H(\omega)}{H(\omega)}. \quad (4.4-10a)$$

Para variabilidades aleatórias e não correlacionadas, pode-se escrever para três desvios-padrões da magnitude de $H(\omega)$:

$$3\sigma \left[\Delta |H(\omega)| \right]_{dB} = 8,685 \left\{ \sum_{i=1}^n \left[\operatorname{Re} S_{X_i}^{H(\omega)} 3\sigma \left[V_{X_i} \right] \right]^2 \right\}^{0,5} \quad (4.4-11)$$

onde $S_{X_i}^{H(\omega)} = \frac{X_i}{H(\omega)} \frac{\partial H(\omega)}{\partial X_i}$ é a sensibilidade de $H(\omega)$ em relação à variação do parâmetro X_i .

De acordo com (4.4-11) tem-se:

$$3\sigma \left[\Delta |H(\omega)| \right]_{dB} = \frac{8,685 \omega^2}{\left[\frac{A}{B} \frac{gm}{C} - \omega^2 \right]} \left\{ \left[\frac{A}{B} \frac{gm}{C} \left(2 - \frac{A}{B} \right) - 2\omega^2 \right]^2 \left\{ \left[3\sigma \left[V_{C_1} \right] \right]^2 + \left[3\sigma \left[V_{C_2} \right] \right]^2 \right\} + \left[\frac{A}{B} \frac{gm^2}{C^2} - \omega^2 \right]^2 \left\{ \left[3\sigma \left[V_B \right] \right]^2 + \left[3\sigma \left[V_A \right] \right]^2 \right\} \right\}^{0,5} \quad (4.4-12)$$

Através da implementação da equação (4.4-12) para simulação do desvio da magnitude da função de transferência e análise das sensibilidades, verifica-se que os requisitos de projeto são atendidos se se admite que as capacitâncias não variam mais que 10% em seus valores nominais e as variações das transcondutâncias

são reduzidas de 50% para 10% o que pode ser facilmente obtido com o uso do circuito de controle automático de transcondutância proposto neste capítulo ([8]).

Para variabilidades com média zero ($\mu = 0$) e três desvios padrões dados por:

$$3\sigma[V_A] = 3\sigma[V_B] = 0,01 \text{ e } 3\sigma[V_C] = 3\sigma[V_{gm}] = 0,1$$

o filtro atende as especificações de projeto, conforme os resultados apresentados na fig. 4.4-2, onde as curvas limites representam as variações da magnitude da função de transferência nominal para os desvios dos componentes acima especificados.

Os resultados das análises do simulador SPICE não levam em conta as tensões de "offset" aleatórias que ocorrem devido ao descasamento entre transistores empregados nos OTA's, amplificador operacional e divisor de tensão.

Para simulações do desvio da magnitude da função de transferência do filtro, considerou-se os OTA's ideais. Contudo, dependendo das localizações das frequências de 3 dB das transcondutâncias dos OTA's, os requisitos de projeto do filtro podem não ser satisfeitos. As posições destas frequências podem ser convenientemente obtidas através da análise da equação (3.5-2), onde pelo dimensionamento do comprimento e da largura dos transistores dos OTA's consegue-se determinar a melhor posição das mesmas. Uma simulação preliminar foi feita para analisar a resposta em frequência do filtro anti-recobrimento, verificando-se que os requisitos de projeto podem ser cumpridos caso as frequências de corte dos OTA's estejam acima de 600kHz.

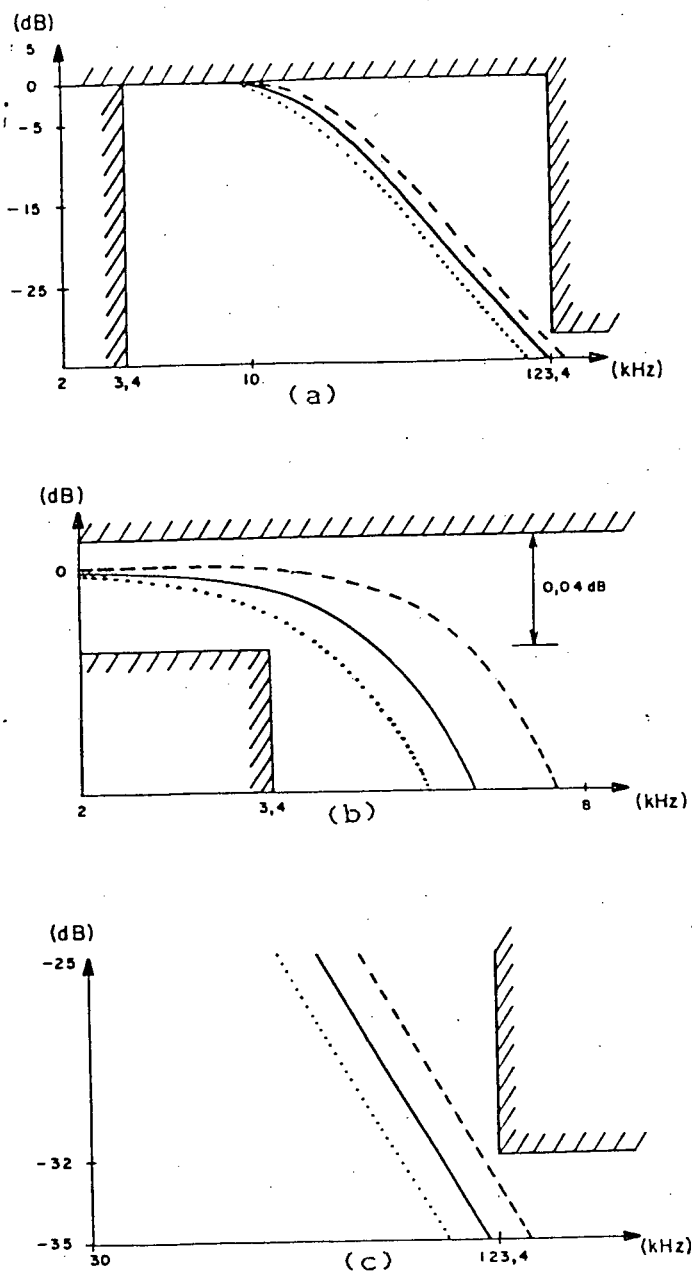


Figura 4.4-2: a) Magnitude da resposta em frequência do filtro anti-recobrimento; b) detalhe da banda passante; c) detalhe da banda de rejeição.

$$\begin{aligned}
 & \text{————— } |H(\omega)|_{\text{dB}} \text{ (nominal)} \\
 & \text{----- } |H(\omega)|_{\text{dB}} + 3\sigma \left[\Delta |H(\omega)|_{\text{dB}} \right] \\
 & \text{..... } |H(\omega)|_{\text{dB}} - 3\sigma \left[\Delta |H(\omega)|_{\text{dB}} \right]
 \end{aligned}$$

CAPÍTULO 5 : CONCLUSÕES.

Foi apresentada, neste trabalho, uma estrutura de OTA com entrada diferencial, de concepção bastante simples, com controle de transcondutância através do circuito de polarização.

A comparação com três estruturas de OTA, que operam com transistores em saturação, mostra que o circuito proposto no terceiro capítulo apresenta, em relação ao da referência [1], as vantagens de simplicidade e de não requerer relação fixa entre razões geométricas de transistores para obtenção da característica de transferência desejada; as estruturas apresentadas na referência [2] têm, as vezes, circuitos mais simples do que o do OTA aqui apresentado mas com menor faixa de linearidade enquanto os OTA's com linearidade ampliada da referência [2] são formados por circuitos mais complexos; finalmente, o OTA apresentado na referência [6] é implementado através de um circuito bastante simples mas a faixa de tensões admissíveis na entrada é inferior à do OTA aqui mostrado para uma mesma tensão de alimentação. Naturalmente, outros critérios podem ser utilizados para comparação da performance de OTA's, dentre os quais ruído e largura de banda. Valores determinados pelo simulador para a largura de banda são superiores a 5 MHz, para corrente de polarização $I_B = 19 \mu A$, e bastante próximos aos mencionados na referência [6] para níveis de corrente aproximadamente iguais.

A análise da célula do OTA mostrou que certos cuidados devem ser tomados para minimizar a presença da 2ª harmônica na corrente de saída; para tal, deve-se adotar um "layout" cuidadoso que assegure um bom casamento não apenas entre os transistores de entrada mas também entre os transistores dos espelhos de corrente.

Os resultados obtidos pela simulação mostraram que o OTA pode ser utilizado com níveis de tensão de entrada até cerca de 20% superiores ao previsto na análise teórica que a distorção harmônica total não irá ultrapassar 2%, valor que pode ser aceitável em muitas aplicações. Para tensões limitadas aos valores nominais, os resultados mostraram distorção harmônica da corrente de saída inferior a 1% para variação da tensão de entrada de cerca de 40% da tensão de alimentação.

Tomando-se maiores cuidados com as dimensões (comprimento do canal maior dos transistores de entrada) pode-se utilizar níveis de tensão de entrada superiores a 33% do limite teórico que a distorção harmônica total será abaixo de 0,8%. Para tensões limitadas aos valores nominais, a distorção harmônica da corrente de saída não ultrapassa 0,16%.

A técnica de controle mostrada no capítulo 4 permite reduzir sobremaneira as variações das transcondutâncias dos OTA's devido às variações de processo e ambientais. Este método proposto é bastante simples, aplicável a estruturas que utilizam OTA's, e foi satisfatório para o atendimento dos requisitos de projeto de um filtro anti-recobrimento de um CODEC que utiliza a técnica de capacitores chaveados.

Filtros contínuos integráveis (RC-ativos, MOSFET-C, OTA-C), quando utilizam alguma forma de controle, como a utilizada no capítulo 4, permitem a redução da relação entre a frequência de amostragem e a máxima frequência do sinal, com as seguintes vantagens:

- i) processamento de sinais de frequências mais elevadas;
- ii) no caso de filtros a capacitores chaveados esta redução leva a

uma menor dispersão nas capacitâncias, aumentando a precisão e diminuindo a área de integração;

iii) no caso de filtros digitais também ocorre uma melhora no desempenho, pois possibilita um maior número de operações por período de amostragem.

Simulações com o programa SPICE mostraram que o método de controle adotado é bastante adequado tanto para variações do processo tecnológico empregado na fabricação do circuito integrado quanto para variações de temperatura.

Foram incluídos num "chip", a ser processado através do 3º PMU CMOS brasileiro, o OTA desenvolvido neste trabalho, assim como o filtro OTA-C e o circuito de controle de transcondutância. Com o recebimento do "chip", poderão ser avaliadas as consequências das tensões de "offset" aleatórias e outros efeitos parasitários não levados em consideração nas análises do simulador elétrico de circuitos SPICE, bem como o comportamento dos OTA's utilizados na aplicação do filtro OTA-C.

APÊNDICE A

No terceiro capítulo foi apresentado o circuito do OTA, repetido na fig. A-1 por conveniência. Os passos de projeto serão aqui tratados.

As equações básicas de projeto são:

$$|v| \leq V_x \quad (A-1)$$

$$g_m = 2 \beta V_x \quad (A-2)$$

$$V_x = \left[\frac{2 I_B}{\beta_3} \right]^{0,5} \quad (A-3a)$$

$$I_{O_{\max}} = 4 K \left[\frac{\beta}{\beta_3} \right] I_B \quad (A-3b)$$

$$SR = \left. \frac{dV_o}{dt} \right|_{\max} = \left[\frac{I_{O_{\max}}}{C_L} \right] \quad (A-3c)$$

$$V_{2\max} = V_{dd} + V_{tN} + V_{tP} - 2 V_x \left[\frac{\beta}{\beta_{espP}} \right]^{0,5} \quad (A-4)$$

$$V_{2\min} = V_{SS} + V_{tN} + V_x \left\{ 1 + \max \left[2 \left[\frac{\beta}{\beta_{espN}} \right]^{0,5}, \left[\frac{\beta_3}{\beta_{Fonte}} \right]^{0,5} \right] \right\} \quad (A-5)$$

$$\frac{1}{\omega_{3dB}} \cong \left[1 + \frac{g_{m1}}{g_{m3}} \right] \left[\frac{C_1}{g_{m5}} + \frac{C_2}{g_{m10}} \right] + \frac{C_3}{g_{m3}} \quad (A-6)$$

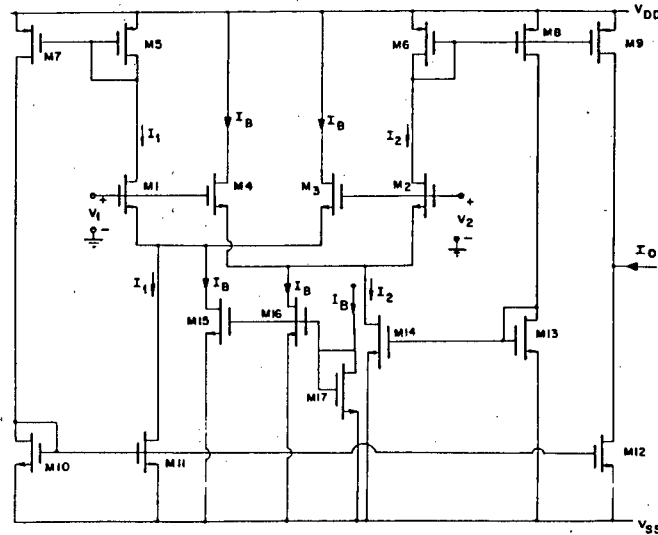


Figura A-1: Circuito do OTA proposto.

onde β_{espP} e β_{espN} representam parâmetros dos espelhos de corrente tipo P e N, respectivamente e β_{Fonte} representa parâmetro dos transistores das fontes de corrente de polarização. K é o ganho dos espelhos de corrente.

Logo, para um dado V_x (faixa de tensão diferencial) e um determinado g_m , tem-se a razão geométrica (W/L) dos transistores de entrada M1 e M2 dadas pela equação (A-2).

Através da equação (A-3a) obtém-se a razão entre a largura (W) e o comprimento (L) do canal dos transistores (M3 e M4), que compõem as fontes suspensas, para uma corrente de polarização I_B arbitrada.

Em geral, deve-se ter β próximo a β_3 para não provocar erros demasiado altos devido ao descasamento. Portanto, a corrente

máxima na saída $I_{O\text{máx}}$ não deve ser muito diferente de $4I_B$, a menos do fator K no ganho dos espelhos de corrente mostrado na equação (A-3b).

Uma expressão alternativa de projeto é a do "slew-rate" (A-3a) onde, de posse da corrente máxima de saída $I_{O\text{máx}}$ (A-3b), obtem-se a razão geométrica dos transistores que formam as fontes suspensas.

Com as equações (A-4) e (A-5), para $V_{2\text{máx}}$ e $V_{2\text{mín}}$ especificados, chega-se aos valores das dimensões dos transistores que formam os espelhos de corrente com transistores canal N e P.

Os transistores das fontes decorrente de polarização I_B podem ter

razões geométricas tal que: $2 \left[\frac{\beta}{\beta_{\text{espP}}} \right]^{0,5} = \left[\frac{\beta_3}{\beta_{\text{Fonte}}} \right]^{0,5}$, minimizando,

desta forma, a área dos transistores das fontes de corrente para um comprimento de canal fixado de maneira a reduzir os efeitos de modulação do mesmo com a tensão V_{ds} .

Uma vez obtidas as razões geométricas através das equações de projeto, os comprimentos de canal dos transistores são escolhidos levando-se em consideração a distorção harmônica da corrente de saída, a faixa dinâmica e a resposta em frequência. Deve-se notar que o aumento do comprimento do canal (L) reduz a distorção harmônica e o ruído $1/f$; porém, aumenta a área e, conseqüentemente, as capacitâncias associadas aos transistores, degradando a resposta em frequência do OTA.

Seguindo este procedimento de projeto compõe-se a tabela das dimensões do OTA da fig. 3.6-1. Vale ressaltar que para o OTA da fig. 3.6-1 as equações de projeto (A-4), (A-5) e (A-6) foram adequadamente modificadas devido ao uso de espelhos cascode.

REFERÊNCIAS BIBLIOGRÁFICAS.

[1] Nedungadi, A. & Viswanathan, T.R., "Design of Linear CMOS Transconductance Elements", IEEE CAS, Vol. CAS-31, No 10, pp. 891-894, October 1984.

[2] Torrance, R.R.; Viswanathan, T.R. & Hanson, J.V., "CMOS Voltage to Current Transducers", IEEE CAS, Vol. CAS-32, No 11 pp. 1097-1104, November 1985.

[3] Park, C.S. & Schaumann, R., "A High-Frequency CMOS Linear Transconductance Element", IEEE CAS, Vol. CAS-33, No 11, November 1986.

[4] Nedungadi, A.P. & Allen, P.E., "A CMOS Integrator for Continuous - Time Monolithic Filters", in Proc. Int. Symp. CAS, pp. 9332-935, 1984.

[5] Nedungadi, A.P. & Geiger, R.L., "High-Frequency Voltage-Controlled Continuous-Time Lowpass Filter Using Linearised CMOS integrators", ELECTRONICS LETTERS, Vol. 22, No 14, 3rd July 1986.

[6] Seevinck, E. & Wassenaar, R., "A Versatile CMOS Linear Transconductor/Square-Law Function Circuit", IEEE JSSC, Vol. SC-22, No 3, June 1987.

[7] Robert, R.N.G.; Noceti Filho, S. & Schneider, M.C., "Um

Novo Transdutor VxI Linear em Tecnologia CMOS", Anais do 4º Congresso Brasileiro de Microeletrônica, Vol. 2, pp. 873-883, Julho 1989.

[8] Schneider, M.C.; Robert, R.N. & Noceti Filho, S., "Controle Automático de Transcondutância Aplicado a um Filtro Anti-Recobrimento", Anais do 7º Simpósio Brasileiro de Telecomunicações, pp. 249-252, Setembro 1989.

[9] Tsividis, Y.; Banu, M. & Khoury, J., "Continuous-Time MOSFET-C Filters in VLSI", IEEE CAS, Vol. CAS-33, No 2, pp. 125-140, February 1986.

[10] Park, C.S. & Schaumann, R., "Design of a 4 MHz Analog Integrated CMOS Transconductance-C Bandpass Filter", IEEE JSSC, Vol. SC-23, No 4, August 1988.

[11] Khorramabadi, H. & Gray, P.R., "High-Frequency CMOS Continuous-Time Filters", IEEE JSSC, Vol. SC-19, No 6, pp. 939-948, December 1984.

[12] Geiger, R.L. & Sánchez-Sinencio, E., "Active Filter Design Using Operational Transconductance Amplifiers", A Tutorial, IEEE Circuits and Devices Magazine, Vol. 1, pp. 20-32, March 1985.

[13] Banu, M. & Tsividis, Y., "Fully Integrated Active RC Filters in MOS Technology". IEEE JSSC, Vol. SC-18, No 6, pp.

644-651, December 1983.

[14] Tsivids, Y., "Fully Integrated Filters", Design of MOS VLSI Circuits for Telecommunications, Editors: Y. Tsivids and P. Antognetti, Englewood Cliffs, NJ, Prentice-Hall, 1985.

[15] Krummenacher, F. & Joehl, N., "A 4 MHz CMOS Continuous-Time Filter with On-Chip Automatic Tuning", IEEE JSSC, Vol. SC-23, No 3, June 1988.

[16] Banu, M. & Tsivids, Y., "An Elliptic Continuous-Time CMOS Filter with On-Chip Automatic Tuning", IEEE JSSC, Vol. SC-20, No 6, December 1985.

[17] Gregorian, R. & Temes, G.C., "Analog MOS Integrated Circuits for signal Processing", Wiley, New York, 1986.